

<http://zakon4.rada.gov.ua/laws/show/z0175-00>.

8. Державні будівельні норми ДБН В.2.6-31:2006 "Конструкції будівель і споруд. Теплова ізоляція будівель".

9. Haylock M. R. A European daily high-resolution gridded data set of surface temperature and precipitation for 1950–2006 / Haylock M. R., Hofstra N., Klein Tank A. M., et al. // Journal of Geophysical Research: Atmospheres. - 2008. – V. 113, is. D20. – 12 p.

*Поступила 11.09.2014р.*

УДК 004.032.26

І.Г. Цмоць, д.т.н., О.В. Скорохода, к.т.н., Б.І. Балич,  
Національний університет «Львівська політехніка», м. Львів

## **МОДЕЛЬ ТА НВІС-СТРУКТУРА ФОРМАЛЬНОГО НЕЙРОНА ПАРАЛЕЛЬНО-ВЕРТИКАЛЬНОГО ТИПУ З ТАБЛИЧНИМ ФОРМУВАННЯМ МАКРОЧАСТКОВИХ РЕЗУЛЬТАТІВ**

*Анотація.* Розроблено модель формального нейрона паралельно-вертикального типу з табличним формуванням макрочасткових добутоків і синтезовано базу та НВІС-структури для її реалізації.

*Abstract.* The model of the parallel-vertical formal neuron with tabular formation of macro partial products has been designed. Base- and VLSI-structure for its implementation have been synthesized.

*Ключові слова:* формальний нейрон, нейромережа, паралельно-вертикальне опрацювання, НВІС-реалізація.

*Keywords:* formal neuron, neural networks, parallel vertical processing, VLSI-implementation.

### ***Вступ***

Створення високоефективних нейромережових засобів реального часу потребує широкого використання сучасної елементної бази, розроблення нових моделей нейрона, орієнтованих на реалізацію у надвеликих інтегральних схемах (НВІС), методів, алгоритмів і спеціалізованих НВІС-структур для реалізації нейроелементів та нейромереж. З огляду на це особливої актуальності набуває завдання синтезу нейроелементів і нейромереж, орієнтованих на опрацювання даних у реальному часі та НВІС-реалізацію з високою ефективністю використання обладнання [1-7].

Як було показано у [8], для забезпечення високої продуктивності НВІС-реалізації і зменшення кількості виводів інтерфейсу пропонується опрацювання даних у нейронних елементах здійснювати паралельно розрядними зрізами (вертикально) на основі багатооперандного підходу/

У [8,9] показано, що відомі моделі нейронів не орієнтовані на НВІС-реалізацію, оскільки не ґрунтуються на елементарних арифметичних операціях і вимагають значної кількості виводів інтерфейсу. У цій статті запропоновано модель та структуру нейрона паралельно-вертикального типу, яка, як і моделі, розроблені у [8,9], забезпечує орієнтацію нейрона на НВІС-реалізацію та його адаптацію до вимог конкретного застосування.

**Основна частина.**

**Модель формального нейрона паралельно-вертикального типу з табличним формуванням макрочасткових результатів.** Модель формального нейрона паралельно-вертикального типу з табличним формуванням макрочасткових результатів орієнтована на використання у нейромережах, у яких вагові коефіцієнти є постійними, або змінюються дуже рідко. Аналітично така модель записується так:

$$y = f_{(p-s)}(f_a(f_Z(f_{P_{Mi}}(x_{ji})))) \tag{1}$$

Особливістю даної моделі формального нейрона є суміщення у часі процесів надходження розрядних зрізів вхідних сигналів і табличне формування макрочасткових результатів  $P_{Mi}$ .

Структура моделі формального нейрона паралельно-вертикального типу з табличним формуванням макрочасткових результатів, яка реалізує вираз (1), наведена на рис. 1.

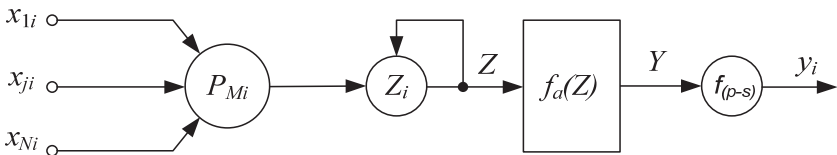


Рис. 1. Модель формального нейрона паралельно-вертикального типу з табличним формуванням макрочасткових результатів

У кожному  $i$ -му такті роботи формування макрочасткового результату відбувається за формулою:

$$P_{Mi} = \begin{cases} 0, & \text{якщо } x_{1i} = x_{2i} = x_{3i} = \dots = x_{Ni} = 0 \\ W_1, & \text{якщо } x_{1i} = 1, x_{2i} = x_{3i} = \dots = x_{Ni} = 0 \\ W_2, & \text{якщо } x_{1i} = 0, x_{2i} = 1, x_{3i} = \dots = x_{Ni} = 0 \\ W_1 + W_2, & \text{якщо } x_{1i} = 1, x_{2i} = 1, x_{3i} = \dots = x_{Ni} = 0 \\ \vdots & \\ W_2 + W_3 + \dots + W_m, & \text{якщо } x_{1i} = 0, x_{2i} = x_{3i} = \dots = x_{Ni} = 1 \\ W_1 + W_2 + \dots + W_m, & \text{якщо } x_{1i} = x_{2i} = x_{3i} = \dots = x_{Ni} = 1 \end{cases} \tag{2}$$

Для зменшення розрядності підсумовувача макрочасткових результатів

надходження вхідних даних доцільно здійснювати з молодших розрядів. Використання таблиць макрочасткових результатів забезпечує збільшення швидкодії та оптимізацію структури формального нейрона.

**Нейроелемент паралельно-вертикального типу з мультиплексованими шинами.** На моделі формального нейрона (1) розроблено базову структуру нейроелемента паралельно-вертикального типу з табличним формуванням макрочасткових результатів. Розроблену базову структуру наведено на рис. 2, де  $x_{ji}$  –  $j$ -й вхід; ТМЧР – таблиця макрочасткових результатів; СМ – суматор; PrZ – регістр добутку; ТФФА – табличний формувач функції активації; P-S – паралельно-последовний перетворювач;  $y_i$  – вихід нейроелемента

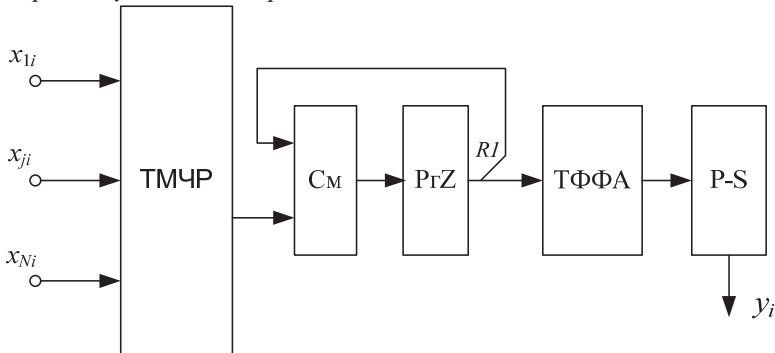


Рис. 2. Базова структура нейроелемента паралельно-вертикального типу з табличним формуванням макрочасткових результатів

Скалярний добуток у цьому нейроелементі обчислюється за таблично-алгоритмічним методом, який передбачає попереднє обчислення всіх можливих комбінацій макрочасткових результатів  $P_{Mi}$  за формулою (2) з їхнім подальшим записом у пам'ять таким чином, щоб комбінація значень розрядних зрізів множників  $x_{ji}$  була адресою комірки пам'яті, в якій зберігається відповідне значення макрочасткового результату  $P_{Mi}$ .

Кількість можливих варіантів макрочасткових результатів  $P_{Mi}$  (обсяг таблиці) залежить від кількості пар операндів  $N$ . Обсяг таблиці макрочасткових результатів  $P_{Mi}$  визначається так:

$$Q = 2^m . \quad (3)$$

Основними етапами реалізації таблично-алгоритмічного паралельно-вертикального методу обчислення оператора скалярного добутку є [12,13]:

- обчислення таблиці всіх можливих макрочасткових результатів  $P_{Mi}$ ;
- запис у пам'ять обчислених значень макрочасткових результатів  $P_{Mi}$ ;
- зчитування макрочасткових результатів  $P_{Mi}$  з комірок пам'яті за адресою, яка відповідає значенню розрядних зрізів множників  $x_{ji}$ ;
- підсумовування макрочасткових результатів  $P_{Mi}$  із зсувом накопиченої суми вправо на один розряд.

Процес обчислення скалярного добутку  $Z$  доцільно здійснювати з молодших розрядів, що забезпечить зменшення розрядності накопичувального суматора.

Структура пристрою, який використовує таблиці макрочасткових результатів  $P_{Mi}$  для обчислення скалярного добутку, подана на рис. 3, де  $P_r$  – регістр;  $PerK$  – перетворювач кодів; ФМЧР – формувач макрочасткових результатів; ОЗП – оперативний запам'ятовуючий пристрій; БК – блок керування; СВ – суматор-віднімач; ША – шина адреси; ШД – шина даних; ШУ – шина управління; ШФ – шинний формувач;  $Y_1, Y_2, Y_3, Y_4, Y_5, Y_6, Y_7$  – сигнали управління відповідно режимом роботи  $PerK$ , режимом роботи ШФ1, записом/читанням в ОЗП, вибіркою ОЗП, режимом роботи СВ, скидом  $P_{rSm}$  та режимом роботи ШФ2.

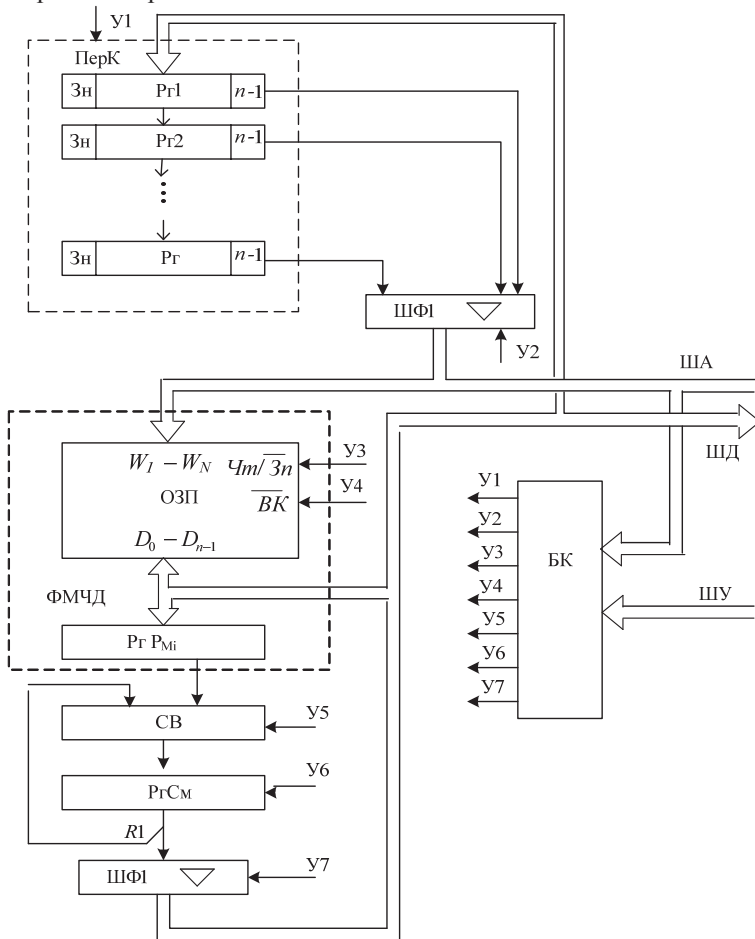


Рис. 3. Структура таблично-алгоритмічного пристрою обчислення скалярного добутку

Апаратна реалізація вдосконаленого вертикального багатооперандного методу обчислення скалярного добутку  $Z$  передбачає попереднє обчислення всіх можливих варіантів макрочасткових результатів  $P_{Mi}$  з подальшим записом їх в ОЗП. Крім того, перед початком обчислення скалярного добутку  $Z$  значення множників  $X_j$  в паралельному коді зберігаються в регістрах перетворювача ПерК. Сигнал лог.1 на вході У1 перетворювача ПерК встановлює регістри Рг1-РгN в режим зсуву в сторону молодших розрядів, а сигнал лог.1 на вході У2 шинного формувача ШФ1 дозволяє передачу розрядних зрізів множників  $X_j$  з виходів регістрів Рг1-РгN на адресні входи ОЗП.

Затрати обладнання на реалізацію таблично-алгоритмічного пристрою обчислення скалярного добутку визначаються за таким виразом:

$$W_3 = (N + 2)W_{P_2} + 2W_{ШФ} + W_{ОЗП} + W_{СВ} + W_{БК},$$

де  $W_{P_2}$ ,  $W_{ШФ}$ ,  $W_{ОЗП}$ ,  $W_{СВ}$ ,  $W_{БК}$  – затрати обладнання відповідно на регістр, шинний формувач, ОЗП, суматор-віднімач і блок керування.

Обчислення скалярного добутку  $Z$  у запропонованому пристрої здійснюється по тактах. У кожному такті роботи пристрою здійснюється зчитування з ОЗП макрочасткового добутку  $P_{Mi}$ , який зберігається за адресою, що відповідає значенню розрядного зрізу  $x_{1i}, \dots, x_{Ni}$  за формулою (2). Кожний  $i$ -ий макрочастковий добуток  $P_{Mi}$  додається до зсунутої на один розряд вправо раніше накопиченої суми, що надходить з виходів регістра РгСм. Оскільки пристрій працює з числами в додатковому коді, то макрочастковий добуток  $P_1$ , який відповідає значенню знакового розрядного зрізу  $x_{13i}, \dots, x_{N3i}$ , віднімається від раніше накопиченої суми. Кількість тактів, необхідних для отримання результату обчислення скалярного добутку  $Z$  за алгоритмом з аналізом одного розряду множників  $x_{1i}, \dots, x_{Ni}$ , визначається їх розрядністю.

Період конвеєрного такту, з яким працює пристрій, визначається за формулою:

$$t_3 = t_{ШФ} + t_{ОЗП} + t_{P_2},$$

де  $t_{ШФ}$ ,  $t_{P_2}$ ,  $t_{ОЗП}$  – час спрацювання відповідно шинного формувача ШФ, регістра Рг і ОЗП.

Зменшити конвеєрний такт роботи пристрою можна шляхом використання більш швидкодіючої елементної бази.

Пряма реалізація даного методу доцільна для  $N \leq 16$ , оскільки зазвичай використовується 16-розрядна шина адрес, і ємність пам'яті буде дорівнювати 64К слів. При  $N \geq 16$  використовуються декілька блоків пам'яті, кількість яких дорівнює  $\left\lceil \frac{N}{16} \right\rceil$ , де  $\lceil \cdot \rceil$  – знак округлення до більшого цілого. Для отримання результату необхідно додатково використовувати багатовходовий суматор, кількість входів у якому також визначається виразом  $\left\lceil \frac{N}{16} \right\rceil$ .

## **Висновки**

1. Апаратна реалізація вдосконаленого вертикального багатооперандного методу обчислення скалярного добутку передбачає попереднє обчислення всіх можливих варіантів макрочасткових результатів з подальшим записом їх в ОЗП.

2. Процес обчислення скалярного добутку  $Z$  доцільно здійснювати з молодших розрядів, що забезпечить зменшення розрядності накопичувального суматора.

3. Використання таблиць макрочасткових результатів забезпечує збільшення швидкодії та оптимізацію структури формального нейрона.

1. *Haykin S.* Neural networks and learning machines. Third Edition. / *S. Haykin.* – New York: Prentice Hall, 2009. – 936 p.
2. *Руденко О.Г., Бодяньський Є.В.* Штучні нейронні мережі / *О.Г. Руденко, Є.В. Бодяньський.* – Харків: ТОВ «Компанія СМІТ», 2006. – 404 с.
4. *Шальто А.А.* Методы аппаратной и программной реализации алгоритмов / *А.А. Шальто.* – СПб.: Наука, 2000 – 780 с.
5. *Боюн В.П.* Динамическая теория информации. Основы и приложения. / *В.П. Боюн.* – К.: Ин-т кибернетики им. В.М. Глушкова НАН Украины, 2001. – 326 с.
6. *Цмоць І.Г.* Принципи розробки і оцінка основних характеристик високопродуктивних процесорів на надвеликих інтегральних схемах / *І.Г. Цмоць // Вісник Державного університету “Львівська політехніка”: Комп’ютерна інженерія та інформаційні технології.* – Львів, 1998. – № 349. – С. 5–11.
7. *Карцев М.А.* Вычислительные системы и синхронная арифметика / *М.А. Карцев, В.А. Брик.* – М.: Радио и связь, 1981. – 358 с.
8. *Цмоць І.Г.* Модель та НВІС-структури формального нейрона паралельно-вертикального типу з використанням мультиплексування шин / *І.Г. Цмоць, О.В. Скорохода, Б.І. Балич // Збірник наукових праць Інституту проблем моделювання в енергетиці ім. Г.Є. Пухова – Львів.* – 2013. – Випуск № 67. – С. 160-166.
9. *Цмоць І.Г.* Моделі та НВІС-структури формального нейрона паралельно-вертикального типу з суміщенням процесів надходження та опрацювання даних / *І.Г. Цмоць, О.В. Скорохода, В.Б. Красовський // Збірник Наукових праць Інституту проблем моделювання в енергетиці ім. Г.Є. Пухова – Львів.* – 2013. – Випуск №70. – С. 137-145.

*Поступила 22.09.2014р.*