

## СИСТЕМЫ ФАЗОВОЙ АУТОПОДСТРОЙКИ ЧАСТОТЫ ДЛЯ ТРАНЗИСТОРНЫХ РЕЗОНАНСНЫХ ИНВЕРТОРОВ НАПРЯЖЕНИЯ УСТАНОВОК ИНДУКЦИОННОГО НАГРЕВА

**В.Я.Гуцалюк**, канд.техн.наук, **П.Ю.Герасименко**, канд.техн.наук, **И.О.Слесаревский**  
 Институт электродинамики НАН Украины,  
 пр. Победы, 56, Киев-57, 03680, Украина.  
 e-mail: [alfa@ied.org.ua](mailto:alfa@ied.org.ua)

*Рассмотрены основные способы подстройки частоты резонансного инвертора напряжения установок индукционного нагрева. Приведен сравнительный анализ систем фазовой автоподстройки частоты (ФАПЧ) и подходов при их проектировании для резонансного инвертора напряжения. Установлены аналитические выражения для определения оптимального тока переключения транзисторов резонансного инвертора напряжения, времени перезаряда паразитных емкостей транзистора с емкостью снабберного конденсатора, времени задержки между управляющими сигналами транзистора, времени, которое соответствует фазовому сдвигу между входными сигналами фазового детектора ФАПЧ. Библи. 10, табл. 1, рис. 5.*

**Ключевые слова:** индукционный нагрев, транзисторный резонансный инвертор напряжения, система фазовой автоподстройки частоты.

**Введение.** Для установок индукционного нагрева в частотном диапазоне 10–440 кГц широко применяют схемы транзисторных преобразователей, силовая структура которых состоит из выпрямителя, фильтра и резонансного инвертора напряжения. Такая структура построения преобразователя отличается простотой силовой части, возможностью регулирования тока индуктора путем управления инвертором тем или иным способом [3,4].

В процессе технологического цикла нагрева активное сопротивление нагрузки может меняться в 2–4 раза и больше, а индуктивность в 1,3–1,6 раз; это приводит к изменению резонансной частоты колебательного контура [1]. Для получения максимальной активной мощности в нагрузке последовательного резонансного контура необходимо обеспечить сдвиг фаз между током и напряжением на выходе инвертора, близкий к нулю. Работа инвертора в таком режиме позволяет минимизировать динамические потери мощности в транзисторах и тем самым дает возможность повысить частоту преобразователя при высокой энергоэффективности и надежности инвертора.

Для согласования частоты инвертора с собственной частотой колебательного контура можно: 1) регулировать емкость или индуктивность колебательного контура; 2) использовать генератор с самовозбуждением; 3) использовать систему автоматической подстройки частоты (АПЧ). Первый способ применяется тогда, когда необходимо обеспечить постоянную частоту работы инвертора, хотя такой способ сложный в реализации и приводит к увеличению габаритов и массы преобразователя. При использовании генератора с самовозбуждением может возникать несимметрия полупериодов выходного напряжения инвертора при переходных процессах, что отрицательно сказывается на работе трансформатора.

Использование систем АПЧ в резонансных инверторах напряжения является классическим вариантом обеспечения настройки нулевого сдвига фаз между током и напряжением на выходе инвертора. Системы АПЧ разделяют на частотную и фазовую (ФАПЧ) [2]. В резонансных инверторах напряжения применяется ФАПЧ (на английском PLL – phase-locked loop, поскольку необходимо обеспечить нулевой сдвиг фаз между током и напряжением на выходе инвертора).

Структурная схема классической ФАПЧ, показанная на рис. 1, имеет в своем составе: фазовый детектор (ФД); фильтр нижних частот (ФНЧ); генератор, управляемый напряжением (ГУН) [2]. ФД сравнивает фазы входных сигналов: опорного и с ГУН и выдает напряжение, пропорциональное разности фаз входных сигналов. Напряжение с ФД через ФНЧ поступает на ГУН. Напряжение после ФНЧ используется в качестве

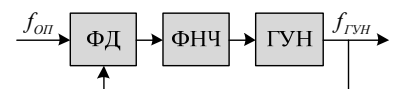


Рис. 1

управляющего сигнала для ГУН, влияя на ГУН так, что его частота приближается к опорной.

В зависимости от типа реализации ФАПЧ делят на: аналоговые или линейные (APLL – analog phase-locked loop, LPLL – linear phase-locked loop); цифровые или смешанные (DPLL – digital phase-locked loop); полностью цифровые (ADPLL – all digital phase-locked loop); программные (SPLL – software phase-locked loop, SP-PLL – software programmable PLL) [10].

Настройка системы ФАПЧ, которая состоит из аналоговых микросхем и компонентов, является сложной операцией. Аналоговая система ФАПЧ имеет в своей структуре фильтр низких частот, который уменьшает быстродействие системы. К тому же, аналоговые компоненты имеют значительный разброс параметров, которые могут изменяться во времени. По этой причине полностью налаженная и нормально функционирующая аналоговая ФАПЧ со временем может расстроиться и внести значительные погрешности в управление, что может привести к нарушению нормального режима работы преобразователя. ADPLL и SPLL таких недостатков не имеют, работа этих систем ФАПЧ проходит согласно разработанному алгоритму программы управления. При этом их настройка значительно упрощается, а надежность работы преобразователя увеличивается.

**Целью работы** является проведение сравнительного анализа различных структур построения и подходов при реализации систем ФАПЧ транзисторных резонансных инверторов напряжения установок индукционного нагрева, а также определение момента переключения транзисторов инвертора для обеспечения оптимального тока, при котором достигаются минимальные динамические потери.

**Основной материал.** Системы ФАПЧ для резонансных инверторов напряжения установок индукционного нагрева имеют ряд особенностей и требований к построению, связанных с изменением амплитуды выходного тока инвертора и изменением резонансной частоты выходного колебательного контура.

**Оптимальный ток переключения.** На рис. 2 и рис. 3 показаны резонансный инвертор напряжения и идеализированные временные диаграммы при оптимальном токе переключения транзисторов, в качестве которых используются MOSFET или IGBT.

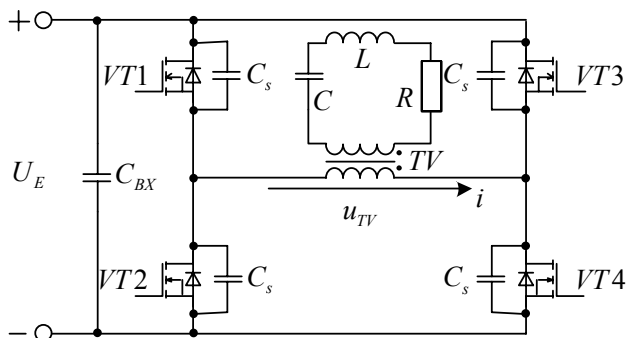


Рис. 2

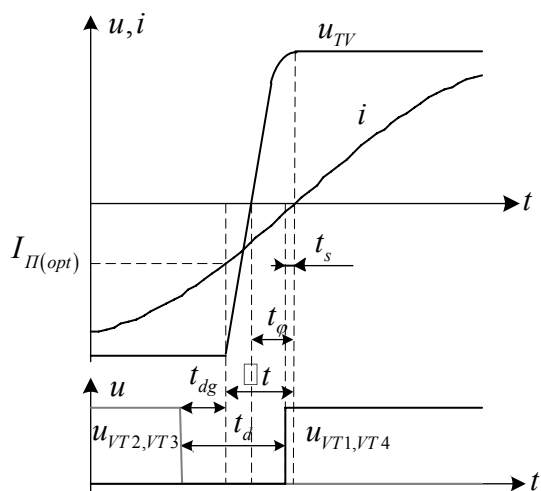


Рис. 3

Для предотвращения протекания сквозных токов при переключении транзисторов верхнего и нижнего плеча инвертора в управляющий сигнал включения/выключения транзисторов  $u_{VT1,VT4} / u_{VT2,VT3}$  вводят время задержки ( $t_d$  – dead time) между каждой парой сигналов включения и выключения (рис. 3). Для уменьшения динамических потерь транзисторы нужно выключать при малом токе и индуктивном характере нагрузки (при этом частота инвертора выше резонансной) так, чтобы включение другой пары транзисторов приходилось на момент, близкий к нулю тока нагрузки.

Через транзисторы инвертора протекают синусоидальные импульсы тока. Условие оптимального тока переключения  $I_{PI(opt)}$ , при котором достигаются минимальные динамические потери мощности в транзисторах, выполняется, если полный перезаряд паразитных емкостей транзистора и снабберных конденсаторов  $C_s$  закончится в момент перехода выходного тока инвертора через ноль. Оптимальный ток переключения и время, необходимое для перезаряда паразитных емкостей транзистора, можно ориентировочно определить по формулам [7]

$$I_{PI(opt)} = I_a \sin\left(\frac{2\pi}{T} \square t\right), \quad (1)$$

$$\Delta t = \frac{T}{2\pi} \arccos \left( 1 - \frac{4\pi(C_{effective} + C_s)U_E}{I_a T} \right), \quad (2)$$

где  $I_a$ ,  $T$  – амплитуда и период выходного тока инвертора,  $C_s$  – емкость снабберного конденсатора,  $C_{effective}$  – эффективное значение паразитной выходной емкости транзистора,  $U_E$  – напряжение источника питания.

В паспортных данных транзистора различных производителей встречаются разные обозначения эффективной выходной емкости транзистора, например:  $C_{oss\,eff.}$ ,  $C_{oes\,eff.}$ ,  $C_{oss\,eff.}(TR)$ ,  $C_{o(tr)}$ ,  $C_{oss\,eq.}$ . Приведенное значение  $C_{effective}$  в паспортных данных транзистора определено как фиксированная емкость, которая дает то самое время заряда, как и выходная емкость транзистора, пока напряжение на коллектор-эмиттер/сток-исток возрастает от 0 до 80% напряжения пробоя при нулевом напряжении затвор-эмиттер/затвор-исток [5]. Поэтому использование приведенного значения  $C_{effective}$  из паспортных данных транзистора для определения оптимального тока коммутации может привести к значительным погрешностям при расчетах для напряжений, существенно отличных от приведенной в паспортных данных. Для многих транзисторов значения  $C_{effective}$  не приведено, а приведенные данные паразитных емкостей недостаточны для ее определения. Определить  $C_{effective}$  можно экспериментальным путем или приближенно по паспортным данным транзистора, если в них приведена зависимость выходной емкости транзистора от напряжения в диапазоне от 0 до  $U_E$ .

*Программная ФАПЧ, адаптивная к изменению параметров нагрузки.* Рассмотрим программную ФАПЧ и необходимые сигналы для определения времени  $t_\varphi$ , заданного фазовой сдвижкой, и времени задержки между сигналами управления  $t_d$ . На рис. 4 показаны структуры программной ФАПЧ с инвертором напряжения ИНВ, датчиками перехода тока и напряжения на выходе инвертора через ноль – ДНТ, ДНН, датчиком амплитуды тока ДАТ, компенсатором задержки КЗ. Они различаются тем, что в качестве сигнала обратной связи используются сигналы с выхода генератора программной ФАПЧ или выхода инвертора.

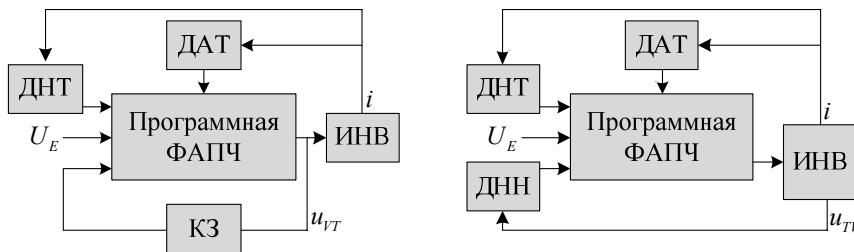


Рис. 4, а, б

держки для компенсации времени задержки между сигналом с выхода программной ФАПЧ и выходным напряжением инвертора. Во втором случае (рис. 4, б [6,7,9]) используются сигналы тока и напряжения на выходе инвертора. Здесь нет неточностей, связанных с задержкой сигнала управления, хотя усложняется аппаратная часть схемы.

Для приведенных структур время  $t_d$  может быть определено исходя из условия

$$t_d \geq \Delta t + t_{dg} - t_s, \quad (3)$$

где  $t_{dg}$  – время задержки между сигналом управления выключения транзисторов и началом нарастания напряжения на коллектор-эмиттер/сток-исток,  $t_s$  – необходимое время для включения транзисторов.

Времена  $t_s$  и  $t_{dg}$  зависят от выбранных транзисторов и параметров системы управления и во время работы практически не изменяются. Время  $t_s$  значительно меньше  $\Delta t$ , поэтому им можно пренебречь. Для MOSFET транзистора время  $t_{dg}$  может быть принято равным времени  $t_{d(off)}$  (turn-on delay time) между спадом сигнала управления на затворе с 90% и ростом напряжения сток-исток на 10% от  $U_E$ , представленного в паспортных данных транзистора.

Время  $t_\varphi$  определяется как время между переходом напряжения и тока на выходе инвертора через ноль, исходя из условия

$$t_\varphi \geq \frac{T}{2\pi} \arccos \left( 1 - \frac{2\pi(C_{effective} + C_s)U_E}{I_a T} \right). \quad (4)$$

Для структуры рис. 4, а компенсатор задержки должен учитывать изменение  $\Delta t$ , вызванное изменением амплитуды и частоты выходного тока инвертора. Если компенсатор задержки будет учитывать только задержку времени между спадающим фронтом сигнала с выхода генератора программной ФАПЧ и началом нарастания напряжения на коллектор-эмиттер/сток-исток, изменение  $\Delta t$  не будут на него влиять и его значение можно считать постоянным. В таком случае для структуры рис. 4, а для поддержания нужного фазового сдвига будет иметь значение время между началом отключения транзистора и переходом тока через ноль  $t'_\varphi$

$$t'_\varphi \geq \Delta t. \quad (5)$$

Полученные аналитические выражения не учитывают изменение параметров транзистора от температуры. Поэтому для надежной работы ФАПЧ необходимо вносить некоторый запас по временам  $t_\varphi$ ,  $t'_\varphi$ ,  $t_d$ .

*Подходы при проектировании ФАПЧ.* При проектировании ФАПЧ выбранная структура с обратной связью влияет на установку нужного тока переключения транзисторов, что связано с сигналами, поступающими на ФД.

Рассмотрим некоторые подходы при проектировании ФАПЧ со структурой, приведенной на рис. 4, а. На рис. 5 показаны диаграммы выходного тока инвертора при различных подходах для двух периодов  $T_1$  и  $T_2$  ( $T_1 > T_2$ ).

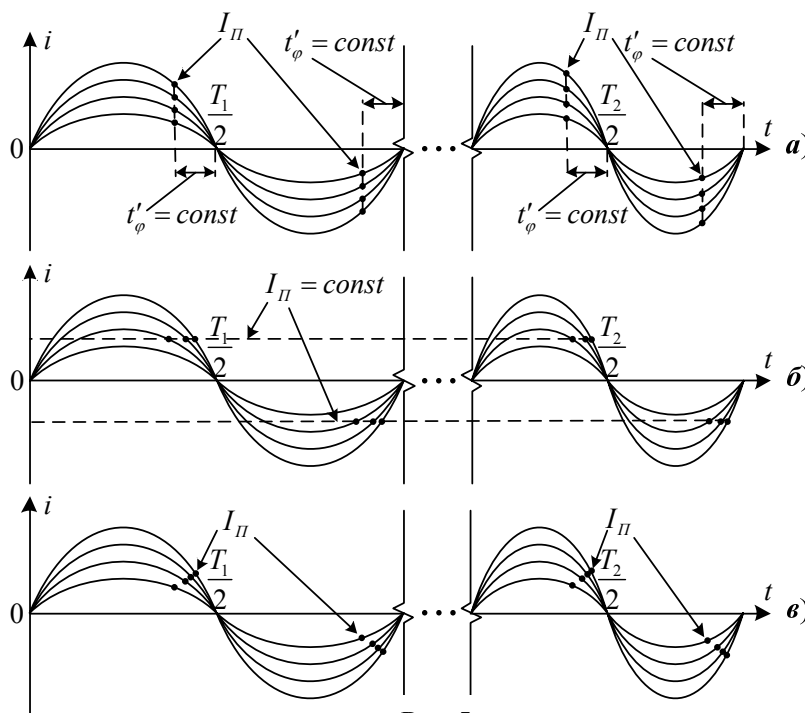


Рис. 5

Один из подходов заключается в поддержании постоянно-го времени сдвиги  $t'_\varphi$ , что приводит к увеличению тока переключения при увеличении амплитуды тока (рис. 5, а). Такой подход простой для реализации ФАПЧ, хотя не является оптимальным с точки зрения потерь в транзисторах инвертора. Время сдвиги  $t'_\varphi$  нужно обеспечить таким, чтобы хватило времени на перезаряд выходной емкости транзистора со снаббером. Такому времени будет соответствовать оптимальный ток переключения при минимальной амплитуде и минимальной частоте выходного тока инвертора.

Другой подход заключается в поддержании постоянного тока переключения  $I_{II}$  транзисто-

ров (рис. 5, б). В данном случае  $I_{II}$  определяется для максимальной амплитуды тока при максимальной частоте. Этот подход также прост в реализации ФАПЧ, более оптимален с точки зрения потерь в транзисторах инвертора, по сравнению с первым. Основным его недостатком является то, что ФАПЧ не способна правильно функционировать при амплитудах тока, меньших тока переключения.

Для обеспечения минимальных потерь мощности в транзисторах инвертора необходимо в процессе технологического цикла обеспечивать оптимальный ток переключения. В таком случае це-

лесообразно применить третий подход, при котором система ФАПЧ должна адаптироваться к изменению параметров нагрузки и менять времена  $t_\phi$  ( $t'_\phi$ ) и  $t_d$  (рис. 5, в).

В таблице представлены преимущества, недостатки и особенности рассмотренных подходов при проектировании ФАПЧ.

	Подход в реализации	Преимущество	Недостатки	Особенности
1	$t'_\phi = \text{const}$	простота реализации	потери мощности существенно возрастают при увеличении $I_a$	$t'_\phi$ равно $\square t$ , определенному для $I_{II(opt)}$ при минимальной $I_a$ и максимальном $T$
2	$I_{II} = \text{const}$	простота реализации	потери мощности не являются минимальными; неработоспособна при $I_a < I_{II}$	$I_{II}$ определяется для максимальной $I_a$ при минимальном $T$
3	$I_{II(opt)}$	минимальные динамические потери мощности в транзисторах	сложность реализации	$I_{II(opt)}$ определяется аналитически

Рассмотренные подходы справедливы и для структуры, приведенной на рис. 4, б, хотя будут некоторые особенности с моментом переключения транзисторов, что вызвано сигналами, поступающими на ФД.

**Выводы.** Для обеспечения минимальных динамических потерь мощности в резонансном инверторе напряжения важное значение имеет работа системы ФАПЧ. Именно система ФАПЧ резонансных инверторов напряжения должна определить и обеспечить минимально допустимый ток переключения транзисторов инвертора. Получены аналитические выражения для определения оптимального тока переключения  $I_{II(opt)}$  и времен  $t_\phi$ ,  $t'_\phi$ ,  $t_d$ . Учитывая необходимость изменения  $t_\phi$ ,  $t'_\phi$  и  $t_d$  в процессе технологического цикла, программная ФАПЧ имеет преимущества, поскольку, как правило, наличие в ней микроконтроллера позволяет проводить быстрые математические вычисления необходимых величин. Рассмотрены подходы к проектированию ФАПЧ, которые позволяют упростить ее реализацию, хотя не являются оптимальными с точки зрения потерь в транзисторах. Выбор сигналов обратной связи, поступающих на ФАПЧ, также влияет на устанавливаемый ток переключения, что необходимо учитывать при проектировании ФАПЧ.

1. Беркович Е.И., Ивенский Г.В., Иоффе Ю.С., Матчак А.Т., Моргун В.В. Тиристорные преобразователи высокой частоты. – Л.: Энергия. – 1973. – 200 с.

2. Радіотехніка: Енциклопедичний навчальний довідник. – К.: Вища школа, 1999. – 838 с.

3. Юрченко Н.Н., Шевченко П.Н., Гуцалюк В.Я., Слесаревский И.О., Твердохлеб Ю.А. Способы регулирования тока транзисторного инвертора напряжения с последовательным резонансным контуром на выходе // Техн. електродинаміка. Темат. випуск “Силова електроніка та енергоефективність”. – 2002. – Ч. 1. – С. 79–81.

4. Юрченко О.М., Юрченко М.М., Гуцалюк В.Я., Павловський В.О., Герасименко П.Ю., Твердохліб Ю.О., Гурін В.К. Розробка високоефективних високочастотних транзисторних перетворювачів для систем електроживлення технологічних установок // Праці ІЕД НАН України. – 2013. – Випуск 35. – С. 123–133.

5. Application Note AN-1001 International Rectifier. A More Realistic Characterization of Power MOSFET Output Capacitance Coss. <http://www.irf.com/technical-info/appnotes/an-1001.pdf>

6. Bayindir N.S., Kukrer O., Yakup M. DSP-based PLL-controlled 50-100 kHz 20 kW high-frequency induction heating system for surface hardening and welding applications // Electric Power Applications. – 2003. – Vol. 150. – No. 3. – Pp. 365–371.

7. Guillermo Martin Segura. Induction heating converter's design, control and modeling applied to continuous wire heating / Doctoral Thesis, Universitat Politecnica de Catalunya Departament d'Enginyeria Electrica, Barcelona, June 2012.

8. Mu-Ping Chen, Jan-Ku Chen, Katsuaki Murata, Masatoshi Nakahara, Koosuke Harada. On the Switching Surge in the Current Resonant Inverter for the Induction Furnace Application // T.IEE Japan. – 2001. – Vol. 121-D. – No. 6. – Pp. 658–668.

9. Sithchai Boonpiyathud, Viboon Chunkag, Pisit Liutanakul. Investigation of Single-Phase DPLL in conspire with PI Controller High Frequency Induction heating for surface hardening // ICEE Kanazawa, Japan. – 2012. – No. PE2-3. – Pp. 620–623.

УДК 621.314

**СИСТЕМИ ФАЗОВОГО АВТОПІДСТРОЮВАННЯ ЧАСТОТИ ТРАНЗИСТОРНИХ РЕЗОНАНСНИХ ІНВЕРТОРІВ НАПРУГИ УСТАНОВОК ІНДУКЦІЙНОГО НАГРІВУ**

**В.Я.Гуцалюк**, канд.техн.наук, **П.Ю.Герасименко**, канд.техн.наук, **І.О.Слесаревський**  
Інститут електродинаміки НАН України, пр. Перемоги, 56, Київ-57, 03680, Україна.  
e-mail: [alfa@ied.org.ua](mailto:alfa@ied.org.ua)

*Розглянуто основні способи підстроювання частоти резонансного інвертора напруги установок індукційного нагріву. Представлено порівняльний аналіз систем фазового автопідстроювання частоти (ФАПЧ) та підходів при їхньому проектуванні для резонансного інвертора напруги. Встановлено аналітичні вирази для визначення оптимального струму перемикання транзисторів резонансного інвертора напруги, часу перезаряду паразитних ємностей транзистора із ємністю снаберного конденсатора, часу затримки між керуючими сигналами транзистора, часу, який відповідає фазовому зсуву між вхідними сигналами фазового детектора ФАПЧ. Бібл. 10, табл. 1, рис. 5.*  
**Ключові слова:** індукційний нагрів, транзисторний резонансний інвертор напруги, система фазового автопідстроювання частоти.

**PHASE-LOCKED LOOP SYSTEMS VOLTAGE RESONANT TRANSISTOR CONVERTER INDUCTION HEATING EQUIPMENT**

**V.Ya.Hutsaliuk, P.Yu.Herasymenko, I.O.Sliesarevskiy**  
Institute of Electrodynamics National Academy of Science of Ukraine,  
pr. Peremohy, 56, Kyiv-57, 03680, Ukraine. e-mail: [alfa@ied.org.ua](mailto:alfa@ied.org.ua)

*Basic methods of frequency control voltage-source series-resonant inverter induction heating equipment were considered. A comparative analysis of a phase-locked loop (PLL) systems and approaches in design them for voltage-source series-resonant inverter were presented. Analytical expressions for determining an optimal current switching transistor of voltage-source series-resonant inverter, time of transistor's recharge parasitic capacitances with snubber's capacitance, as well as the delay time between the control signals of the transistor, and time which corresponds to the phase shift between the input signals of the phase detector PLL are established. References 10, table 1, figures 5.*

**Key words:** induction heating, voltage-source series-resonant inverter, phase-locked loop system.

1. *Berkovych E.I., Ivenskii G.V., Yoffe Yu.S., Matchak A.T., Morgun V.V.* High frequency thyristor converters. – Leningrad: Energiia, 1973. – 200 p. (Rus)
2. *Radio technics: Encyclopedic educational reference-book.* – Kyiv: Vyshcha shkola, 1999. – 838 p. (Ukr)
3. *Yurchenko N.N., Shevchenko P.N., Gutsaliuk V.Ya., Slesarevskii I.O., Tverdokhleb Yu.A.* Methods for current control of the transistor voltage inverter with the series-resonant circuit at the output // *Tekhnichna Elektrodynamika. Tematychnyi vypusk "Sylova elektronika ta enerhoefektyvnist"*. – 2002. – No. 1. – Pp. 79–81. (Rus)
4. *Yurchenko O.M., Yurchenko M.M., Hutsaliuk V.Ya., Pavlovskiy V.O., Herasymenko P.Yu., Tverdokhlib Yu.O., Hurin V.K.* Development of reliable, high-frequency transistor converters for power systems processing equipment // *Pratsi Instytutu Elektrodynamiky Natsionalnoi Akademii Nauk Ukrainy*. – 2013. – Vol. 35. – Pp. 123–133. (Ukr)
5. *Application Note AN-1001 International Rectifier. A More Realistic Characterization of Power MOSFET Output Capacitance Coss.* <http://www.irf.com/technical-info/appnotes/an-1001.pdf>
6. *Bayindir N.S., Kukrer O., Yakup M.* DSP-based PLL-controlled 50-100 kHz 20 kW high-frequency induction heating system for surface hardening and welding applications // *Electric Power Applications*. – 2003. – Vol. 150. – No. 3. – Pp. 365–371.
7. *Guillermo Martin Segura.* Induction heating converter's design, control and modeling applied to continuous wire heating / *Doctoral Thesis, Universitat Politecnica de Catalunya Departament d'Enginyeria Electronica, Barcelona, June 2012.*
8. *Mu-Ping Chen, Jan-Ku Chen, Katsuaki Murata, Masatoshi Nakahara, Koosuke Harada.* On the Switching Surge in the Current Resonant Inverter for the Induction Furnace Application // *T.IEE Japan*. – 2001. – Vol. 121-D. – No. 6. – Pp. 658–668.
9. *Sitchai Boonpiyathud, Viboon Chunkag, Pisit Liutanakul.* Investigation of Single-Phase DPLL in conspire with PI Controller High Frequency Induction heating for surface hardening // *ICEE Kanazawa, Japan* – 2012. – No. PE2-3. – P. 620–623.
10. *The VLSI Handbook*. – NW.: – CRC Press, 2006. – 2322 p.

Надійшла 32.03.2014  
Остаточний варіант 02.06.2014