

Ю.С. Яковлев, Э.И. Комухаев

## Развитие элементной базы и соответствующих архитектурно-структурных решений для систем высокопроизводительных вычислений

Рассмотрены различные типы высокоинтегрированной элементной базы и соответствующих архитектурно-структурных решений с применением многоядерных процессоров, коммутаторов узлов вычислений, ускорителей вычислений, чипов *FPGA*, твердотельных накопителей и узлов обработки. Приведены особенности применения *FPGA*. Отмечены тенденции совместного использования чипа *FPGA* и процессоров, а также интеллектуальных средств.

Various types highly integrated element base and correspondings architectural-structural solutions, including application of multinuclear processors, switchboards of sites of calculations, accelerators of calculations, chips *FPGA*, solid-state disk drives, machining assemblies are observed. Features of application *FPGA* are shown. Use tendency combinations on chip *FPGA* and processors, and also intellectual resources are marked.

Розглянуто різні типи високоінтегрованої елементної бази і відповідних архітектурно-структурних рішень з застосуванням багатоядерних процесорів, комутаторів вузлів обчислень, прискорювачів обчислень, чипів *FPGA*, твердотільних накопичувачів та вузлів обробки. Описано особливості застосування *FPGA*. Відзначено тенденції сумісного використання чипа *FPGA* і процесорів, а також інтелектуальних засобів.

**Введение.** Повышение производительности ЭВМ, помимо применения новых архитектурно-структурных решений, организации вычислительного процесса, а также новых методов и алгоритмов решения сложных задач, всегда есть следствием развития интегральной технологии. Переход на уменьшенные нормы технического процесса элементов обеспечивает значительный рост показателей производительности, надежности, снижения потребляемой мощности, габаритов и веса вычислительных систем.

Перед началом повсеместного перехода в область нанотехнологии, основанной на использовании результатов научных разработок, главным образом, в областях молекулярной электроники и биологии, а также квантовой механики, органической химии и др., актуальной задачей есть оценка технологических возможностей твердотельной элементной базы и соответствующих ресурсов, применение которых обеспечит улучшение параметров компьютерных систем (КС), и тем самым продлит срок жизни твердотельной микроэлектроники. Нанотехнологические разработки *Intel* и *IBM* показывают, что возможности создания логических элементов микросхем манипулированием отдельными атомами продлят прогресс кремниевых чипов еще, по меньшей мере, на несколько десятилетий.

В настоящее время приоритет отдается направлению, в основе которого лежит применение электронных нанотранзисторов (в том числе одноэлектронных), где уже реализован квантово-механический предел передачи информации, налагаемый физическими явлениями. Разработка разнообразных архитектурных вариантов нанокomпьютеров на этой основе ведется очень активно, и технологии будущего уже имеют вполне реальные очертания.

В статье рассматривается использование передовых технологических нанометровых норм при создании сверхбольших интегральных схем (СБИС) и их применение для систем высокопроизводительных вычислений (СВВ), а также отдельные аспекты соответствующих архитектурно-структурных решений, связанных с использованием ускорителей вычислений, масштабирования, ПЛИС типа *FPGA* (*Field – Programmable Gate Array*) и др., а также примеры применения интеллектуальных активов (средств) для СВВ.

**Интегральная технология – основа построения высокопроизводительной элементной базы**

Еще недавно были опасения по поводу реализуемости высокопроизводительной элементной базы (ВЭБ) с нормами техпроцесса ниже

100–50 нанометров. Теперь найдены и внедряются новые способы преодоления физических ограничений для перехода к производству микросхем с ростом подвижности электронов для новых типов транзисторов – процессы квантового туннелирования при размерах элементов менее 7 нм. Уже массово внедряются некоторые чипы, произведенные по нормам 28, 22, 20 и даже 10 нм.

Производство серий чипов ВЭБ с нормами ниже 30 нм обеспечивают соответствующие технологические линии, некоторые из них приведены ниже. Это линии [1]:

- компании *Taiwan Semiconductor Manufacturing Company (TSMC)* в партнерстве с научно-исследовательской бельгийской лабораторией *IMEC*;
- заводов *DIX, Fab42, Fab24, Fab28*, компании *Intel*;
- заводов компаний *Texas Instruments, IBM* и др.

В частности, компания *Intel* сейчас вкладывает свыше \$ 5 млрд в оснащение своего завода *Fab42* для выпуска микросхем по 14 – нанометровой технологии на основе 300 – миллиметровых кремниевых пластин.

Растет число *Fabless*-компаний, специализирующихся на разработках и продажах чипов, не имея собственных производственных линий, пользуясь для изготовления серий своих чипов услугами сторонних линий, например *TSMC*. В условиях жесткой рыночной конкуренции такое разделение труда обеспечивает приток новых компаний без значительных стартовых инвестиций, но имеющих инновационные исследования и проекты. Сегодня в ассоциацию полупроводниковых *Fabless*-компаний входит свыше 500 членов. Даже компаниям, имеющим собственные кремниевые заводы, бывает выгодным заказывать часть своего ассортимента, например, компании *TSMC*. Неоднократно по такому пути шел гигант *Texas Instruments*. Из известных поставщиков микросхем среди *Fabless*-компаний можно назвать процессорную компанию *AMD*, ведущие компании, производящие программируемые логические интегральные схемы (ПЛИС) – *Xilinx, Altera*, разработчиков

коммутаторов – компанию *Qlogic* и графических ускорителей – компанию *NVIDIA*.

Приведем примеры сообщений [1] о выпусках и планах ввода в производство чипов ВЭБ с нормами менее 30 нм:

- с апреля 2012 года компания *Intel* выпускает многоядерные процессоры по 22 нм технологии с архитектурой *Ivy Bridge*, с использованием этой же архитектуры планируется выпуск процессоров 3D по 14 нм технологиям в конце 2013 года;
- *Intel* начала выпуск твердотельных накопителей *Intel SSD 335* с использованием 20 нм флэш-памяти;
- компания *Xilinx* начала поставки чипов *FPGA* седьмой серии (*Artix-7, Kintex-7, Virtex-7, Zyng-7000 EPP*) по 28 нм технологии, произведенных на заводах компании *TSMC*, эти же заводы производят по 28 нм технологии разновидности чипов *FPGA Altera Stratix 5*;
- компания *Samsung* начала выпуск карт памяти на 64 Гбайт на базе 10 нм технологии.

В табл. 1 представлены компании в ранге ведущих поставщиков отдельных типов ВЭБ,

Т а б л и ц а 1. Типы ВЭБ и их основные поставщики

Тип ВЭБ	Ведущие поставщики	Передовые образцы	Применения
Многоядерные процессоры	<i>Intel, IBM, AMD, Oracle-Sun</i>	<i>Intel Xeon E5-2600</i>	В СКИТ-4 ИК НАНУ введены <i>E5</i> [2]
Коммутаторы вычисл. узлов	<i>Cray, Melanox</i>	Чипы <i>Infiniband</i>	В СКИТ-4 внедрены узлы <i>Infiniband</i>
Ускорители вычислений	<i>Nvidia, AMD, Intel</i>	<i>Nvidia Kepler, Intel Xeon Phi</i>	В СКИТ-4 внедрены узлы <i>Nvidia</i>
Твердотельные флэш-накопители	<i>Intel, Toshiba, Samsung</i>	<i>Intel 710, 910, 335</i>	Чипы 710 используются суперкомпьютерами <i>Gordon</i> (США)
ПЛИС типа <i>FPGA</i>	<i>Xilinx, Altera</i>	<i>Virtex 5, Virtex 6, Virtex 7, Stratix 4, Stratix 5</i>	В СКИФ-Аврора РФ используются <i>Stratix 4</i>
Вычислители типа « <i>Processor-in-memory</i> » ( <i>PIM</i> -системы)	<i>IBM, Oracle, HP</i>	<i>IBM Netezza</i>	В <i>Netezza</i> использованы <i>FPGA</i> и <i>CPU</i>

при этом приведены образцы чипов повышенного спроса.

Центральная роль среди типов ВЭБ принадлежит многоядерным процессорам в условиях

современных жестких ограничений для допустимых уровней энергозатрат. Тактовая частота процессора – это лишь один из множителей в формуле: [Производительность] = [Тактовая частота] × [Количество инструкций, выполняемых за один такт]. Именно многоядерные процессоры остановили гонку тактовых частот, обеспечивая повышение быстродействия и снижение удельных энергозатрат за счет распараллеливания реализуемого алгоритма. Имеются также типы ВЭБ, образующие с многоядерными процессорами различные гибридные сочетания, например, в узлах PIM-систем с FPGA, в узлах суперкомпьютеров используют 8–16 ядерные центральные процессоры совместно с 50–60 ядерными ускорителями [3].

Достигнутый уровень развития элементной базы обеспечил возможность создания распределенной компьютерной системы на одном кристалле, каждая разновидность которой ориентирована на решение определенного класса задач [3, 4].

#### **Применение ВЭБ для систем высокопроизводительных вычислений**

Известно, что переход при построении СВВ на новую элементную базу с большой вероятностью может обеспечить повышение производительности системы примерно на порядок, а совершенствование архитектур и структур и организации вычислительного процесса – на несколько порядков. В соответствии с этим нельзя оставить без внимания некоторые архитектурные новации в области построения суперкомпьютеров.

Суперкомпьютеры стали признанным лидером прогресса компьютерной индустрии, основным инструментом моделирования сложных процессов. Эксперты ведущего производителя микросхем компании Intel приводят ряд показателей быстродействия суперкомпьютера, необходимого для решения задач, часть из них приведены в табл. 2.

Пока достигнут максимальный показатель реальной производительности 17,590 Тфлопс согласно ноябрьской редакции за 2012 год рейтинга TOP500 наиболее мощных суперкомпьютеров мира [5]. Список этой редакции возгла-

вил суперкомпьютер Titan XK7 компании Cray. В первой строке рейтинга указаны обеспечившие эту рекордную производительность следующие типы высокоинтегрированной элементной базы: 16-ти ядерные процессоры AMD Opteron 6224 с частотой 2,200 ГГц, заказные СБИС коммутаторов Cray Gemini, графические ускорители NVIDIA K20x, общее число процессорных ядер компьютера составляет 560,640, а потребляемая мощность – 8,209 КВт.

**Таблица 2.** Ориентировочная оценка быстродействия суперкомпьютера, необходимого для решения указанных сложных задач

Тип задачи	Требуемое быстродействие
Проектирование автомобиля	0,1 PFlops
Математическое моделирование зрения человека	0,1 PFlops
Моделирование аэродинамики летательных аппаратов	1 PFlops
Моделирование лазерных систем	10 PFlops
Моделирование динамики молекул в задачах биологии	20 PFlops
Проектирование летательных аппаратов	1000 PFlops
Математическое моделирование в астрофизике и космологии	10.000 PFlops
Моделирование турбулентности	100.000 PFlops
Математическое моделирование в квантовой химии	1.000.000 PFlops

Ускоренное инновационное развитие ВЭБ формирует дальнейшие перспективы развития СВВ. После успешных внедрений ВЭБ в структуры СВВ отдельные типы ВЭБ, например многоядерные процессоры, используются и для массовых приложений.

Создатели системы Titan утверждают, что внедренные ими типы ВЭБ имеют потенциал масштабирования свыше 50 PFlops. Теперь для чипов ВЭБ потенциал масштабирования, т.е. показатель возможности соединять их в большие наборы без существенного снижения быстродействия, надежности, энергоэффективности, становится приоритетным фактором внедрений.

Отметим, что вышеуказанные основные типы ВЭБ системы Titan получили внедрение при более доступных недорогих их версиях и в структурах нового кластера СКИТ-4 Института кибернетики им. В.М. Глушкова НАНУ. В этом кластере реальную производительность порядка 10 Тфлопс обеспечили в рамках архитек-

туры платформы *HP ProLiant Gen8* многоядерные процессоры *Intel Xeon E5-2600*, СБИС коммутаторов узлов *Infiniband FDR*, ускорители *NVIDIA Tesla M2075* [2].

Недавно компания *Cray Inc.* проанонсировала начало изготовления суперкомпьютера *XC30* на базе гибридных узлов на процессорах *Intel Xeon E5* и новейших сопроцессорах – ускорителях *Intel Xeon Phi*, масштабируемых до производительности свыше 100 PFlops. В сороковом списке *TOP500* уже появились несколько суперкомпьютеров, в которых успешно внедрены ускорители *Intel Xeon Phi*. В Межведомственном суперкомпьютерном центре РСК РАН на базе узлов с процессорами *Intel Xeon E5-2690* и сопроцессоров *Intel Xeon Phi SE10x* создадут суперкомпьютер с пиковой производительностью порядка 10 PFlops. Эта разработка обещает России прорыв на путях освоения петафлопсной производительности.

### Применение ускорителей вычислений

Для ускорения расчетов сложных и трудоемких задач, например, расчеты гравитационных взаимодействий тел, частиц в астрофизике, химии, биологии применяют в составе кластеров дополнительные специализированные средства ускорения вычислений. Сложность таких задач показывает пример эволюции системы  $N$  гравитирующих тел (материальных точек), описываемых системой уравнений:

$$\frac{dr_i}{dt} = v_i, \quad \frac{dv_i}{dt} = \sum_{j \neq i}^N Gm_j \frac{r_j - r_i}{|r_j - r_i|^3},$$

где  $m_j$ ,  $r_i$ ,  $v_i$  — масса, радиус-вектор и скорость  $i$ -го тела соответственно ( $i$  изменяется от 1 до  $N$ ),  $G$  – гравитационная постоянная. При этом массы тел, а также положения и скорости в начальный момент времени считаются известными. Необходимо найти положения и скорости всех частиц в произвольный момент.

Применение ускорителей вычислений не только повышает быстродействие вычислений, но и за счет аппаратной реализации укрупненных специализированных операций значительно упрощает программирование задач. Такие ускорители, ориентированные на круг задач, требующих сравнительно небольшого объема началь-

ных данных для последующего множества вычислений, особенно востребованы для исследований взаимодействий белка с наборами внешних молекул, взаимодействий тел в астрофизике.

Расширяются разработки более универсальных ускорителей вычислений для актуальных задач [6]. В частности, компания *IBM* в партнерстве с компаниями *Sony*, *Toshiba* разработала высокопроизводительный процессор с новой *Cell*-архитектурой, предназначенной для ускорения решения приложения в режиме реального времени, который широко используется в структурах СВВ, например, в составе суперкомпьютера России «Ломоносов». Девятиядерный *Cell*-процессор является многопроцессорной микросхемой, включающей 64-битный процессорный элемент *PPE* и восемь специализированных сопроцессоров (*SPE*) на базе *SIMD*-архитектуры, специализированную высокопроизводительную шину *EIB*, контроллеры памяти и ввода–вывода (рис. 1).



Рис. 1. Основные функциональные узлы *Cell*-процессора

*PPE* распределяет задачи на *SPE*, контролирует системные операции ввода–вывода с системной памятью и внешними устройствами, а *SPE* ускоренно выполняют несложные математические операции. В процессоре *Power X Cell 8i* значительно ускорен обмен с системной памятью за счет введения в каждый *SPE* до 256 КБ локальной памяти с быстрым доступом. С нее могут перемещаться данные в основную память и обратно даже с упреждением без прерывания вычислительного процесса в *SPE*. Все *SPE* и *PPE* имеют ускоренный доступ к основной памяти через контроллер разделяемой памяти и внутреннюю объединяющую магистраль.

Широко используется многими пользователями основной инструмент программирования ускорителей *Cell – IBM SDK for Multicore Acceleration*. В его составе компиляторы, отладчики, библиотеки *BLAS* и преобразований Фурье, генерации случайных чисел и др.

Кроме вышеуказанных трех типов ВЭБ в составах суперкомпьютеров, значительный потенциал ускорения СВВ имеют новые модели твердотельных накопителей *SSD* и высокоинтегрированных *FPGA*. Например, в компании *Cray* имеется разработка узлов на *FPGA* с масштабированием до 30000 соединений чипов.

### Масштабирование структур суперЭВМ

При модернизациях ЭВМ обязательным становится учет пределов масштабирования выбранных средств, определяемых возможностями наращивания количества узлов без потерь быстродействия и надежности. *SPARC (Scalable Processor Architecture)*, коммутационные структуры *Infiniband* относят к высокомасштабируемым. Например, компания *Nallatech*, специализирующаяся на выпуске плат, содержащих *FPGA*, предлагает платы *PCI-104*, соединяемые посредством масштабирования до пяти экземпляров без снижения быстродействия. В структуре суперкомпьютера *Maxwell* используются восемь плат *Nallatech* с масштабируемым соединением этих узлов (табл. 3). На рис. 2 и 3 на простых примерах проиллюстрированы два варианта фрагментов счетных схем наращивания каналов синхронизации. Обе структуры на этих рисунках содержат встроенные логические схемы для восстановления рабочего режима после сбоя.

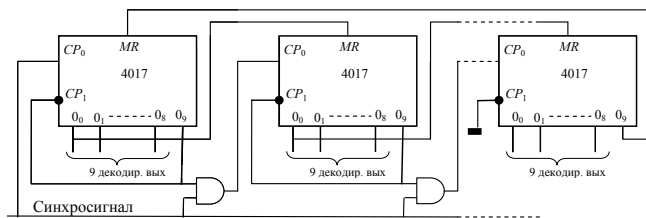


Рис. 2. Немасштабируемое соединение чипов

При этом структура на рис. 2 снижает быстродействие при подключении новых чипов 4017, а масштабированная структура на рис. 3, согласно патенту *US4993051*, позволяет значительное наращивание каскадов без потерь быстродействия. Защищенные многими патентами высокомасштабируемые коммутационные структуры компаний *Mellanox*, *Voltaire*, *Cray*, *QLogic* намного сложнее приведенных фрагментов схем.

Создание новых поколений масштабируемых коммутационных средств требует очень высо-

кой компетенции проектировщиков. Поэтому компания *Intel*, разрабатывающая новые масштабированные структуры коммутационных средств, не только приобрела соответствующие патенты компаний *Cray* и *QLogic*, но и предусмотрела переход компетентных в данных технологиях специалистов указанных компаний к себе, установив им привлекательную зарплату.

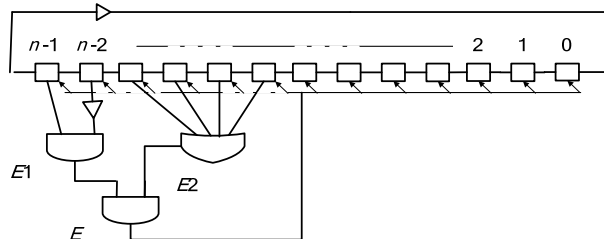


Рис. 3. Масштабируемый счетчик

### Особенности внедрений высокоинтегрированных ПЛИС типа *FPGA*

Для кристаллов ПЛИС логические структуры и их связи задаются программированием со стороны пользователя, а не при их изготовлении, что характерно для микропроцессоров. *FPGA (Field Programmable Gate Array)* – основная разновидность ПЛИС, для которой при включении питания требуется начальная загрузка структуры узлов и их связей, причем число возможных перезагрузок не ограничено. Другая разновидность ПЛИС – *CPLD (Complex Programmable Logic Device)*, содержащая крупные программируемые макроячейки (*macrocells*), логические функции которых запоминаются в энергонезависимой памяти и не изменяются при включении питания, более инерционна в сравнении с *FPGA*. Поэтому *CPLD* для СВВ пока не применяются.

Сформировались два основных направления использования высокоинтегрированных *FPGA*. Первое направление – это реализация эмуляторов разработок, тестирования процессоров, *ASIC*, согласований программного обеспечения с *hardware*. Компания *The Dini Group* предлагает десятки типов таких эмуляторов. Например, ее плата логического эмулятора *DN9000K10*, включающая 17 чипов *Xilinx Virtex-5*, позволяет тестирование *ASIC* емкостью 32 млн вентиляей. На крупнейшем эмуляторе *RAMP (Research Accelerator for Multiple Processor)* на базе массива *FPGA*

*Virtex* в университете Беркли (США) отрабатывают разновидности согласования ПО многоядерных процессоров.

Второе направление – использование высокоинтегрированных *FPGA* в конечных продуктах гражданской, военной, космической электроники.

Внедрения обособленных чипов высокоинтегрированных *FPGA* (без их взаимодействий с *CPU*) достаточно конкурентоспособны, главным образом, в устройствах военной электроники, космической аппаратуры. Для последних приоритетны требования: гибкость реализаций специализированных структур, их секретность, использование высоконадежных мажоритарных решений, работа в температурном диапазоне «*military*» (от  $-55^{\circ}\text{C}$  до  $+125^{\circ}\text{C}$ ), обеспечение радиационной стойкости, вибростойкости, учет ограничений энергозатрат, габаритов.

Для гражданских применений высокоинтегрированных *FPGA* приоритетны требования: гибкость реализаций структур с целью повышенного быстродействия, возможность масштабирования, снижение энергозатрат, стоимости, сокращения длительности этапов проектирования. Многие гражданские проекты разработчиков на базе обособленных чипов высокоинтегрированных *FPGA* оказались недостаточно конкурентоспособными для конечных продуктов. Эти неудачи связаны с тактовой частотой *FPGA*, меньшей в сравнении с тактовой частотой *CPU*, а также с неоднозначностью решений синхронизации, трассировки. Поэтому перспективные конкурентоспособные внедрения высокоинтегрированных *FPGA* сегодня чаще всего реализуются для устройств, где взаимодействуют *FPGA* и *CPU*. С участием ряда компаний альянса *FHPCA* были проведены исследования перспективности применений *FPGA* в структурах СВВ на примере построения демонстрационного суперкомпьютера *Maxwell* с использованием чипов *Virtex 4* [7]. *Maxwell* выполнен по кластерной архитектуре, объединяющей 32 одинаковых вычислительных узла двумя типами сетей. Каждый такой узел является блейд-сервером, содержащим один процессор *Intel Xeon* с тактовой частотой 2,8 ГГц и один Гб ОЗУ, а также по две ПЛИС-платы. Одна из этих плат *ADM-XRC-4FX*,

разработанная фирмой *Alpha Data*, включает чип *FPGA Xilinx Virtex 4*, соединенный с процессором *Xeon* посредством интерфейса *IBM PCI-X*, и 16 Мб статической памяти, 1 Гб динамической памяти. Другая плата *Nallatech H101* узла, разработанная фирмой *Nallatech*, включает, кроме чипа *FPGA Virtex 4*, память статическую 64 Мб и динамическую 512 Мб. Указанные 32 узла, с одной стороны, взаимодействуют с использованием стандартной сети *Gigabit Ethernet*, соединяющей процессоры *Xeon*, с другой – согласно кластерному *MPI (Message Product Interface)*. *FPGA*-платы соединены сетью *Rocket IO* по топологии двумерного Тора со скоростью 3,125 Гбит/канал. ПЛИС-платы соединены с основным процессором узла при помощи интерфейса *IBM PCI-X*. Решаемые задачи выбирались с некоторыми ограничениями. Так, параллельная декомпозиция задачи должна соответствовать топологии вышеуказанного двумерного тора, а объем вычислений с использованием ПЛИС – значительно превышать объем обменов между ПЛИС и *CPU*. *Maxwell* при достигнутом быстродействии около одного терафлопса значительно ускоряет решение отдельных задач, при этом он потребляет в 10 раз меньше энергии, чем суперкомпьютеры близкой производительности. В табл. 3 приведены данные ускорения вычислений на *Maxwell* относительно решений сопоставимого кластера без *FPGA* для трех типов задач [7, 8].

Таблица 3. Ускорение вычислений на *Maxwell* относительно кластера без *FPGA*

Задача	Время разработки:	Ускорение:
Опционы Монте-Карло	несколько человеко-недель	от 109 до 322 раз (разные для разных типов ПЛИС)
Построение изображений ( <i>Image-Based Rendering</i> )	6 человеко-месяцев	в 2,52 раза (один узел, включая пересылку данных, без узла – в 3,6 раза), в 2 раза (8 узлов)
Поиск нефти и газа	12 человеко-месяцев	в 4,83 раза (8 узлов)

Показатели ускорений *Maxwell* на чипах *Virtex-4* значительно возрастут при переходе на использование более быстродействующих чипов *Virtex* новых серий. На рис. 4 показана эволюция расширения логики (и соответственно ускорения) для чипов компании *Xilinx* от *Virtex-4* до чипов *Virtex-5*, *Virtex-6*, *Virtex-7* [8, 9].

Лавинообразный рост объема новых данных (проблема *BigData*) повысил актуальность совершенствования вычислений на *PIM*-системах (*Processor-in-memory*), имеющих ряд преимуществ в сравнении с КС классической архитектуры [4]. *IBM* приобрела за 1,7 млрд долл. компанию *Netezza*, разработавшую в рамках технологии *PIM*-систем эффективные сочетания *FPGA* и *CPU* для ускорения и упрощения обработки больших объемов данных [8].

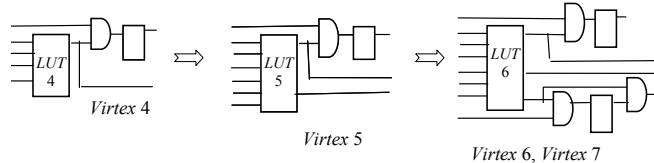


Рис. 4. Эволюция архитектуры логической ячейки *FPGA Xilinx*

На рис. 5 представлена архитектура *Netezza* на базе фирменных сочетаний *Snipped* чипов *FPGA* и *CPU*, обеспечивающих значительные ускорения обработки данных.

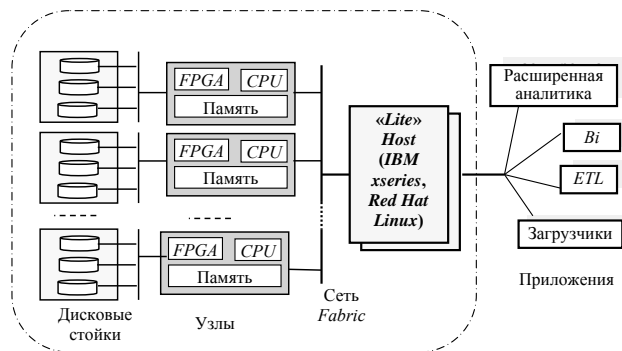


Рис. 5

В журнале *Xcell* компании *Xilinx* называют новой эрой в использовании *FPGA* в сочетании *FPGA* и *CPU* на одном кристалле при начальных управляющих функциях *CPU*, который реализован на новом 28 нм чипе *Xilinx Zynq-7000*. При этом двухядерный процессор *ARM Cortex – A9 MP Core* взаимодействует с *FPGA Kintex-7*, причем исходные управляющие функции выполняет *CPU*, оптимально подключая ресурсы *FPGA*. При этом значительно повышается быстродействие и резко упрощается проектирование для пользователя [10]. Появились сообщения, что по такому же пути с доминированием *CPU* уже идут корпорация *Intel* и *FPGA*-компания *Altera*, создавая совместный чип, но на базе уже технологических норм 14–20 нм. Усиливается роль

разработок, компетентных поисков и оценок, оперативных приобретений и внедрений интеллектуальных активов (средств). В табл. 4 приведены типы и примеры интеллектуальных активов, имеющих отношения к СВВ.

Таблица 4. Типы и примеры применения актуальных интеллектуальных активов

Тип	Примеры	Примечания
Изобретения, представляющие переход на новый инновационный уровень	<i>US Patent 6973559 Scalable hypercube multiprocessors</i>	Дается оригинальное решение масштабируемых межсоединений мультипроцессорных систем, патентодержатель – компания <i>SGI (Silicon Graphics Inc)</i>
Лицензия на технологии	<i>IBM</i> предоставила лицензию на ядро процессоров <i>Power PC</i> компании <i>Xilinx</i>	ПЛИС компании <i>Xilinx</i> (особенно <i>Virtex 4, Virtex 5</i> ), содержащие указанное ядро, расширяют внедрения
Лицензия на технологии	Московская компания «Т-Платформы» приобрела у фирмы <i>GDA</i> лицензию на использование технологии шины <i>HyperTransport</i>	<i>T-Платформы</i> разрабатывают ПЛИС – компоненты для СВВ, использующие шину <i>HyperTransport</i>
Полезная модель. Экспертиза на требовании новизны и промышленной применимости не проводится	<i>RU 38092 U1</i> Серверная платформа, автор Бречалов А.В., компания «Т-Платформы»	Предложена серверная платформа, отличающаяся дополнительными контроллером сервисной сети и портами <i>USB</i> , доступ к которым осуществляется через отверстие в передней стенке шасси. Документацию предлагает «Т-платформы»
Лицензия на технологии	Воронежский завод полупроводников приобрел у фирмы <i>Altera</i> лицензию на использование технологии устаревших чипов <i>FPGA FLEX</i>	РФ располагает технологией изготовления и программирования чипов <i>FPGA</i> , в частности для <i>military</i> -устройств. Расширяется выпуск аналога семейства <i>FLEX</i> – чипов марки ПЛИС <i>5576XC</i>

Разработки ВЭБ с отдаленной отдачей часто приостанавливают. Так, недавно РОСНАНО закрыла девять проектов на тему нанотехнологий. На суперкомпьютерах расширяется моделирование разных задач нанoeлектроники, включая различные формирования кубитов (вместо традиционных битов) для отработки узлов квантовых компьютеров.

После десяти лет соответствующих исследований и разработок мировой лидер по числу полученных патентов – компания *IBM* недавно

анонсировала выход на рынок своего инновационного чипа нанофотоники, в котором передача данных с помощью световых импульсов намного эффективней, чем с помощью электронов.

**Заключение.** Анализ развития интегральной технологии показал, что сегодня освоены технологические нормы для получения размеров элементов на кристалле в пределах 28, 22 и 10 нм. Анонсирован рядом компаний переход на выпуск чипов в 2013 г. с технологическими нормами 20 нм и 14 нм. При этом обозначены развивающиеся типы высокоинтегрированной элементной базы (ВЭБ), а также архитектурно-структурных решений, в том числе с применением: многоядерных процессоров, коммутаторов узлов вычислений, ускорителей вычислений, чипов ПЛИС типа *FPGA*, твердотельных накопителей, узлов вычислений типа «*Processor-in-memory*» (*PIM*-систем) и др. Показана важная роль ВЭБ для ускорения вычислительного процесса в суперкомпьютерах. Отмечено, что соответствующие типы ВЭБ приведены во всемирных рейтингах *TOP500*, *TOP Green500*.

Кроме традиционных показателей быстродействия, надежности и др., важным для систем высокопроизводительных вычислений становится показатель масштабирования, определяющий максимальное количество наращиваемых узлов без значительных системных потерь быстродействия, надежности, энергоэффективности.

Показаны особенности применения высокоинтегрированных *FPGA*. Отмечена растущая тенденция расширений совместного использования на чипе высокоинтегрированных *FPGA* и процессоров *CPU*. Такое решение использовано при создании нового чипа *Xilinx Zynq-7000*, значительно повышая быстродействие и упрощая проектирование системы в целом. Особый акцент сделан на приоритетности разработок, оперативных использований интеллектуальных активов (средств) для расширения внедрений ВЭБ, приведены типовые примеры таких решений.

Важный вклад в увеличение производительности, снижение энергозатрат, габаритов, стоимости вносят переходы на новейшие технологические нормы изготовления чипов. Компания *Intel* начинает выпуск процессоров с нормами

14 нанометров уже в 2013 г. Компания *Altera* анонсировала снижение энергозатрат для новых чипов *FPGA* на 60 процентов за счет перехода на нормы 20 нм (2013–2014 гг.). Компания *Xilinx* также готовит изготовление своих *FPGA* на базе норм 20 нм.

Таким образом, развитие архитектур и организации вычислительного процесса систем высокопроизводительных вычислений идет в направлении применения более совершенной твердотельной элементной базы и соответствующих архитектурно-структурных решений, включая применение многоядерных процессоров, коммутаторов узлов вычислений, ускорителей вычислений, чипов *FPGA*, твердотельных накопителей, узлов обработки, а также архитектур типа «Процессор-в-памяти». Имеющиеся заделы в области нанотехнологий позволяют сделать выводы, что дальнейшее развитие СВВ будет происходить как с использованием твердотельной элементной базы, так и элементной базы, основанной на результатах научных разработок, главным образом, в областях молекулярной электроники, молекулярной биологии, а также квантовой механики, органической химии и др.

1. *Intel* уже начала работу над освоением 7-нм и 5-нм норм. – <http://www.wht.by/chips/3527-intel-uzhe-nachala-rabotu-nad-osvoeniem-7-nm-i-5-nm-norm>
2. *SKIT-4* – суперкомпьютер Института кибернетики ім. В.М. Глушкова НАНУ / А.Л. Головинський, А.А. Маленко, О.Ю. Бандура та ін. // Міжнар. конф. «Високопродуктивні обчислення» НРС-UA'2012. Київ: 8–10 жовтня 2012 року.
3. *Яковлев Ю.С.* Об оптимизации архитектуры компьютерных систем на современной элементной базе // УСиМ. – 2007. – № 5. – С. 43–51.
4. *Яковлев Ю.С.* Однокристалльные компьютерные системы высокой производительности: монография. – Винница: ВНТУ, 2009. – 294 с.
5. *Top500 List* – November 2012. – <http://www.top500.org/list/2012/11>
6. *Якуба А.О., Комухаев Е.Г., Рябчун С.Г.* Розвиток прискорювачів для спеціалізованих обчислень // Математичні машини та системи. – 2010. – № 2. – С. 10–21.
7. *Описание FPGA-суперкомпьютера Maxwell*. – <http://parallel.ru/FPGA/maxwell.html>
8. *Тарасов И.* Перспективы использования *FPGA Xilinx 7-й* серии в системах связи и ЦОС. – 2011. – С. 43–45. – <http://www.russianelectronics.ru/developer-r/rewiew/2189/doc/54555>
9. *Выходцев А.* Платформа для больших данных // Открытые системы. – 2012. – № 6. – С. 12–13.
10. *Mike Santarini.* Zynq 7000 EPP Sets Stage for New Era of Innovations // Xcell J. – 2011. – N 2. – P. 8–13.

Поступила 06.03.2013  
Тел. для справок: +38 044 526-3207, 292-3185, 292-3436 (Київ)  
© Ю.С. Яковлев, Э.И. Комухаев, 2013