

П.Н. Бибило, А.Л. Соловьев

## Оценка энергопотребления комбинационных КМОП-схем на основе логического моделирования с учетом временных задержек элементов

Предложены *VHDL*-модели библиотечных КМОП-элементов, позволяющие уменьшить погрешности оценок энергопотребления комбинационных схем из таких элементов и значительно сократить время получения оценок путем использования быстрого логического моделирования структурного описания схем.

*VHDL* models of CMOS library components are suggested. The models allow decreasing estimation accuracy of power consumption of the circuits built on such components and significant reducing the estimation time at the expense of using the fast logical modeling of structural descriptions of the circuits.

Запропоновано *VHDL*-моделі бібліотечних КМОП-елементів, які дозволяють зменшити похибки оцінок енергоспоживання комбінаційних схем з таких елементів та значно скорочують час отримання оцінок шляхом використання швидкого логічного моделювання структурного опису схем.

**Введение.** Снижение энергопотребления интегральных комплементарных структур металл-оксид-полупроводник (КМОП) схем – одна из актуальных проблем [1]. КМОП-схемы для космических и специальных применений выполняются по технологическим нормам, для которых основную долю (до 80 процентов) потребляемой мощности составляет динамическая мощность, связанная с переключением транзисторов. Оценивать энергопотребление схем по их переключательной активности предложено в [2], применять для этих целей системы логического моделирования в [3–5]. Оценка энергопотребления КМОП-схем на основе моделирования структурных *VHDL*-описаний этих схем [3, 4] осуществляется очень быстро, так как использует в качестве оценки энергопотребления суммарное (по всем элементам схемы) число переключающихся транзисторов в сеансе моделирования схемы. При таком подходе исследованы две *VHDL*-модели логических элементов для подсчета числа переключений транзисторов.

В первой *VHDL*-модели [3] использованы *единичные задержки* всех типов комбинационных логических элементов, при этом не учитывались нагрузочные способности элементов и разное время их переключения, энергоемко-

сти переключений из нуля в единицу (и обратно) считались одинаковыми для всех полюсов элементов всех типов.

Во второй *VHDL*-модели [4, 5] логических элементов использованы *нулевые задержки* комбинационных элементов, при этом учтены только заключительные для рассматриваемого такта моделирования схемы переключения элементов и не принимались во внимание переключения, вызванные гонками сигналов, не учитывались также временные задержки и нагрузки элементов (разветвления выходных полюсов элементов).

Погрешность оценок энергопотребления нерегулярных комбинационных КМОП-схем для таких моделей составляла в среднем 15 процентов в сравнении с оценками, получаемыми с помощью моделирования транзисторных *SPICE*-описаний схем. Однако для некоторых схем погрешность оценок энергопотребления была значительна и достигала 30 процентов, что и привело к необходимости создания более точных моделей логических элементов.

В статье предлагаются новые *VHDL*-модели комбинационных логических КМОП-элементов для оценки энергопотребления. Данные модели позволяют учитывать временные задержки элементов, входящих в схему. Информацию

о таких задержках можно получить после выполнения синтеза схемы, например, используя известный синтезатор *LeonardoSpectrum* [6]. Временные задержки, в свою очередь, учитывают нагрузки элементов и различия в энергопотреблении при переходах значений входных и выходных сигналов элементов из нулевых состояний в единичные, и наоборот – из единичных в нулевые. Эксперименты показывают значительное уменьшение погрешностей оценок энергопотребления при использовании новых моделей элементов.

### Синтез логической схемы и получение информации о задержках элементов

Рассмотрим логическую схему из КМОП-элементов, показанную на рис. 1. Функции и площади элементов приведены в табл. 1.

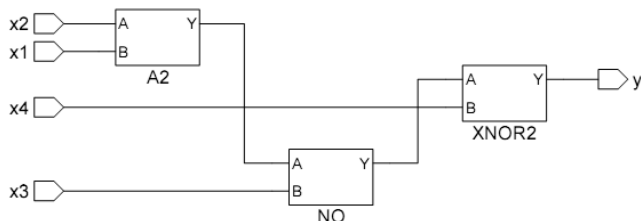


Рис. 1. Комбинационная логическая схема из КМОП-элементов

Полный состав библиотеки КМОП-элементов приведен в [3]. Данная схема (рис. 1) получена синтезатором *LeonardoSpectrum* [6], сформировавшим в результате синтеза не только структурное описание схемы, но и соответствующий текстовый *SDF*-файл, в котором для каждого элемента указываются задержки сигналов от входных полюсов к выходному полюсу (листинг 1). Отметим, что в листинге 1 задержки задаются в наносекундах (нс) и это *максимальные* задержки, так как в *SDF*-файле в соответствующей строке до первого двоеточия указывается *минимальная* задержка, после первого двоеточия указывается *средняя* задержка, после второго двоеточия – *максимальная*. Например, в девятой строке

```
IOPATH A Y (:::0,53) (:::0,42)
```

значение 0,53 задает максимальное время 0,53 нс установки значения выходного полюса Y элемента *XNOR2* при изменении входного по-

люса A из нулевого состояния в единичное, значение 0,42 – максимальное время 0,42 нс установки выходного полюса Y при изменении входного полюса A из единичного состояния в нулевое.

Таблица 1. Логические элементы

Элемент	Функция	Площадь (условные единицы)
NO	$y = \overline{A \vee B}$	268
A2	$y = A \& B$	435
XNOR2	$y = A \oplus B$	742

Заметим, что о моделях логических элементов и *SDF*-файлах, получаемых синтезатором *LeonardoSpectrum*, можно прочитать в [6]. Формирование *SDF*-файла осуществляется с учетом описаний задержек библиотечных элементов, задаваемых в *LGN*-файле описания библиотеки синтеза.

### Листинг 1. *SDF*-файл для схемы (рис. 1)

```
--1-- (TIMESCALE 1 ns)
--2-- (CELL
--3-- ( (CELLTYPE "XNOR2")
--4-- ( (INSTANCE ix5)
--5-- ( (DELAY
--6-- ( (ABSOLUTE
--7-- ( (PORT A (:::0,00) (:::0,00))
--8-- ( (PORT B (:::0,00) (:::0,00))
--9-- ( (IOPATH A Y (:::0,53) (:::0,42))
--10-- ( (IOPATH B Y (:::0,47)
:::0.30))))))
--11-- ( (CELL
--12-- ( (CELLTYPE "NO")
--13-- ( (INSTANCE ix113)
--14-- ( (DELAY
--15-- ( (ABSOLUTE
--16-- ( (PORT A (:::0,00) (:::0,00))
--17-- ( (PORT B (:::0,00) (:::0,00))
--18-- ( (IOPATH A Y (:::0.56) (:::0.33))
--19-- ( (IOPATH B Y (:::0.52)
:::0.26))))))
--20-- ( (CELL
--21-- ( (CELLTYPE "A2")
--22-- ( (INSTANCE ix1)
--23-- ( (DELAY
--24-- ( (ABSOLUTE
--25-- ( (PORT A (:::0,00) (:::0,00))
--26-- ( (PORT B (:::0,00) (:::0,00))
--27-- ( (IOPATH A Y
```



Логическое моделирование с учетом *SDF*-файла в системе *VHDL*-моделирования *ModelSim* осуществляется с использованием включенных в данную систему пакетов библиотеки *VITAL* [6], поэтому решение указанных проблем будет осуществляться с использованием именно этих пакетов.

### Получение зависимостей энергопотребления логических элементов от нагрузки и смены состояний входных полюсов

Зависимости энергопотребления от нагрузки для каждого типа логических элементов строилась экспериментальным путем, т.е. путем схемотехнического моделирования в системе *Accusim* [8] *SPICE*-описаний библиотечных элементов. Отметим, что модели были построены для инверторов, а также двух- и трехвходовых элементов библиотеки [3].

В результате многочисленных экспериментов было установлено.

- Величина потребляемой элементом энергии зависит от сменяемых значений входных сигналов (входных наборов) элемента. Для каждой пары (предыдущее значение, текущее значение) значений входных наборов элемента целесообразно построить функцию, определяемую энергопотребление.

- Величина потребляемой элементом энергии зависит от нагрузки элемента и достаточно точно аппроксимируется линейной функцией.

- Задержка элемента также имеет линейную зависимость от нагрузки элемента, поэтому можно показать, что величина потребляемой элементом энергии линейно зависит от задержки элемента.

Для нахождения зависимости энергопотребления логического элемента от его нагрузки строились специальные схемы, имитирующие окружение этого элемента в «больших» схемах, после чего проводилось моделирование в системе *Accusim*. В качестве специальных использовались схемы, в которых тестируемый логический элемент был подключен таким образом, что сигнал на каждый вход элемента проходил через повторитель (для имитации реальных фронтов сигналов в схеме), а к выходу этого элемента па-

раллельно подключено от одного до четырех повторителей (для имитации разной нагрузки элемента). Затем создавались упорядоченные пары тестовых наборов, подаваемых многократно на входы такой тестовой схемы. Число всех таких упорядоченных пар <предыдущий набор, текущий набор> для двухвходовых элементов равно 16: <00, 00>, <00,01>, <00,10>, <00,11>, <01,00>, ... , <11,11>. Таким образом, для каждой комбинации <предыдущий набор, текущий набор> состояний входов элемента определялась зависимость энергопотребления от разветвления по выходу.

Например, для элемента *A2* (конъюнктора) и пары <00,11> сменяемых состояний на входах элемента, был получен график (рис. 3) линейной зависимости энергопотребления от числа *N* элементов, подключенных к выходу (нагрузки).

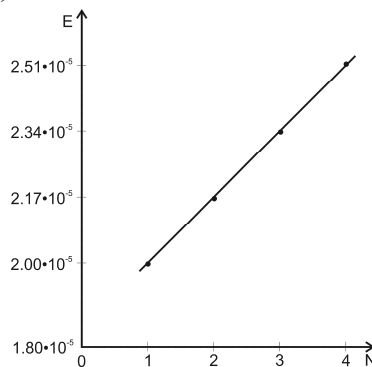


Рис. 3. Зависимость энергопотребления *E* элемента *A2* при увеличении нагрузки *N* элемента при смене <00,11> входных сигналов

График зависимости, показанной на рис. 3 описывается линейной функцией  $E = kn + b$ . Для *VHDL*-моделирования требуется вычислить коэффициенты *k*, *b* и согласовать их с параметрами времени, задаваемыми в *SDF*-файле. Это было сделано для каждого типа элемента и каждой пары сменяемых наборов на входах элемента при различной нагрузке. Для фиксированной нагрузки *N* по среднему току (*Average*) и времени моделирования подсчитывалась средняя энергия, потребленная логическим элементом. Так получалась каждая точка на графике (рис. 3). График зависимости, построенный по полученным четырем точкам, аппроксимировался прямой линией, т.е. фор-

мировались значения  $k$ ,  $b$ . Полученные таким образом значения  $k$ ,  $b$  были пересчитаны в значения  $k_1$ ,  $b_1$  для получения линейной зависимости  $E = k_1 t + b_1$  энергии от задержек  $t$ , задаваемых в *SDF*-файле, и записаны в *VHDL*-пакет *per ecl* (рис. 2) для использования при *VHDL*-моделировании. При подстановке полученных констант в линейную функцию  $E = k_1 t + b_1$  при *VHDL*-моделировании получается зависимость значения энергии (в кулонах) от значений задержки элемента, указываемой в *SDF*-файле. Для элемента *A2* значения констант  $k_1$ ,  $b_1$  (в пакете эти константы имеют имена *A2\_K*, *A2\_B*) приведены ниже в фрагменте текста *VHDL*-пакета *per ecl* (листинг 2) для 16 пар входных наборов. Для третьей пары наборов <00, 11> эти коэффициенты выделены жирным шрифтом. Уравнение  $E = k_1 t + b_1$  в данном примере имеет вид  $E = 1,39243051 \times 10^{-12} t + 5,49307101 \times 10^{-14}$ , где  $E$  – энергия (кулоны);  $t$  – задержка элемента, формируемая по значениям задержек элемента, указанным в *SDF*-файле.

Листинг 2. Фрагмент *VHDL*-пакета *per ecl*

```
TYPE IN2 IS ARRAY (0 to 15) OF real;
CONSTANT A2_K : IN2 := (
-4,08989174E-26, -3,78323165E-19,
-2,9035714E-19,   1,39243051E-12,
-3,78323165E-19, -0,00000000E+00,
-6,29843327E-19,  1,37150945E-12,
-2,9035714E-19,   6,29843327E-19,
-0,00000000E+00,  1,38196824E-12,
-1,39243051E-12,  1,37150945E-12,
  1,38196824E-12,  2,04494586E-25);
CONSTANT A2_B : IN2 := (
4,00545274E-19, -6,27862605E-17,
5,17463467E-19,  5,49307101E-14,
-6,27862605E-17,  6,7574314E-19,
1,31658847E-13,  1,81446961E-13,
5,17463467E-19,  1,31658847E-13,
4,00545204E-19,  4,48169774E-14,
5,49307101E-14,  1,81446961E-13,
4,48169774E-14,  6,01086803E-19);
```

### Создание *VHDL*-моделей логических КМОП-элементов для оценки энергопотребления

Уточнения *VHDL*-моделей элементов, предложенных ранее в [3, 4], заключаются в следующем.

В новых моделях считается, что логические элементы имеют «реальные» временные задержки, т.е. задержки, передаваемые из *SDF*-файла. Ранее задержки элементов полагались либо нулевыми, либо единичными (1 ns).

Функциональность элемента не связана с оценкой энергопотребления. Функция элемента при моделировании вычисляется с использованием средств библиотеки *VITAL* (пакеты *VITAL\_Timing*, *VCOMPONENTS*). Оценка энергопотребления осуществляется в отдельном процессе. При этом глобальный сигнал *ZK*, декларированный в *VHDL*-пакете *per ecl*, служит для суммирования значений потребляемой энергии по всем экземплярам элементов схемы. Каждый элемент имеет доступ к данному глобальному сигналу и командой *ZK<=temp\_c*; пересылает значение переменной, вычисляемой с использованием разрешающей функции *sum\_per ecl*.

В листинге 3 приводится *VHDL*-модель логического элемента, предназначенная для оценки энергопотребления. Функция элемента (конъюнкция входных сигналов) вычисляется с помощью компонента *A2\_V*, описанного в *VITAL*-пакетах. В операторе

```
p0: A2_V generic map (TimingCheck-
sOn, InstancePath, Xon, MsgOn,
tpd_A_Y, tpd_B_Y, tipd_A, tipd_B)
port map (A=>A, B=>B, Y=>Y);
```

передаются параметры и создается экземпляр компонента *A2\_V*.

Энергопотребление элемента *A2* подсчитывается в процессе, вызываемом оператором *process (A, B)*. Данный процесс выполняется, когда изменяется хотя бы один из сигналов *A*, *B*, которые есть входными сигналами элемента. Основное назначение процесса: по параметрам *tpd\_A\_Y*, *tpd\_A\_Y*, *tpd\_B\_Y*, *tpd\_B\_Y*, значения которых для каждого компонента схемы при моделировании передаются из *SDF*-файла, определить время задержки элемента, предыдущую и новую комбинацию состояний входов элемента и по этим значениям подсчитать энергопотребление этого элемента в текущем такте моделирования схемы.

Переменная *average\_delay* в выражении

```
average_delay:=real((tpd_A_Y(tr01)+
tpd_A_Y(tr10)+tpd_B_Y(tr01)+tpd_B_Y(tr10
))/(4*10) fs);
```

задает среднее время задержки распространения сигнала в десятках фемтосекунд. Параметры *tr01*, *tr10* определены в пакетах *VITAL*. Моделирование надо выполнять с учетом установки *VHDL*-параметра *resolution* меньше, чем  $4 \cdot 10$  фемтосекунд, чтобы не было деления на нуль в результате округления.

*Листинг 3. VHDL-модель логического элемента A2*

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;
use IEEE.NUMERIC_STD.all;
use IEEE.VITAL_Timing.all;
library work;
use work.VCOMPONENTS.all;
use work.perecl.all;

entity A2 is
generic(
TimingChecksOn: Boolean := True;
InstancePath: STRING := "";
Xon: Boolean := False;
MsgOn: Boolean := True;
tpd_A_Y      : VitalDe-
layType01 := (0,56 ns, 0,53 ns);
tpd_B_Y      : VitalDe-
layType01 := (0,56 ns, 0,48 ns);
tipd_A       : VitalDe-
layType01 := (0,000 ps, 0,000 ps);
tipd_B       : VitalDe-
layType01 := (0,000 ps, 0,000 ps));
port (A:IN std_ulogic;
      B:IN std_ulogic;
      Y:OUT std_ulogic);
end;

architecture BEHAVIOR of A2 is
begin
p0: A2_V generic map (TimingChecksOn,I
nstancePath,Xon,MsgOn,
tpd_A_Y,tpd_B_Y,tipd_A,tipd_B)
port map (A=>A,B=>B,Y=>Y);

process (A,B)
variable case_number : integer;
variable average_delay,temp : real;
variable ptime : time:=0 ps;
variable pbits : std_logic_vector (1
to 2) :=(OTHERS=>'U');
```

```
variable case_vector :
std_logic_vector (3 downto 0);
variable temp_c: REAL_V:=0.0;
begin
average_delay:=real((tpd_A_Y(tr01)+
tpd_A_Y(tr10)+tpd_B_Y(tr01)+tpd_B_Y(tr10))
/(4*10) fs); --50_0000 *10E-6 ns
average_delay:=average_delay*1.0E-
5;--ns
case_vector:=pbits&A&B;
case_number:=
TO_INTEGER(unsigned(case_vector));

temp:=average_delay*A2_K(case_number)+A2
_B(case_number);
pbits(1):=A;
pbits(2):=B;
temp_c:=temp_c+temp;
ZK<=temp_c;
ptime:=now;
end process;
end;
```

Подсчет энергопотребления осуществляется следующим образом. Выражение

```
tpd_A_Y(tr01)+tpd_A_Y(tr10)+tpd_B_
_Y(tr01)+tpd_B_Y(tr10)
```

задает (в условных единицах, приведенных к десяткам фемтосекунд) время задержки элемента, затем определяется номер пары наборов, сменяемых на входах элемента *A2*.

Переменная

```
case_vector:=pbits&A&B;
```

задает конкатенацию предыдущих и текущих значений входных полюсов элемента. Для этой пары определяются значения констант *A2\_K*, *A2\_B* в соответствующих массивах констант. После этого вычисляется значение аппроксимирующей функции

```
temp:=average_delay*A2_K(case_number)+
A2_B(case_number),
```

задающей энергопотребление (в кулонах). В примере значение *case\_number* равно трем, что соответствует паре <00,11>. Параметр *average\_delay* – это время в наносекундах, полученное с помощью выражения

```
average_delay:=average_delay*1.0E-5.
```

Именно в данных единицах (нс) указываются задержки в *SDF*-файле.

Достоинством предложенных *VHDL*-моделей элементов является и то, что их использование не требует изменения структурных *VHDL*-описаний схем, получаемых программами синтеза. Для оценки энергопотребления схемы путем *VHDL*-моделирования требуется создать только *VHDL*-модели элементов библиотеки, подобные рассмотренной модели для элемента *A2*.

### Эксперимент

Эксперимент проведен для комбинационных схем, исходные описания которых взяты из известной библиотеки *Berkeley PLA Test Set* и синтезированы схемы в синтезаторе *LeonardoSpectrum*. Синтез осуществлялся в базе одно-, двух- и трехвходовых элементов библиотеки [3] КМОП-элементов. Логическое моделирование для оценки энергопотребления схем проводилось в системе *ModelSim* [6]. Сравнение полученных оценок энергопотребления проведено с эталонными результатами, полученными путем моделирования в системе схемотехнического (аналогового) моделирования *AccuSim II* (ф. *Menthor Graphics*), использующей моделирующее ядро *Eldo* [7], на тех же тестовых наборах и в одном и том же модельном времени. Эксперименты для всех схем при схемотехническом моделировании проводились с одинаковыми значениями параметров: длительности передних и задних фронтов входных сигналов 1 нс; период подачи входных сигналов 40 нс; температура +27°C. Задержка каждой из схем не превышала 40 нс.

Были применены следующие типы *T* тестовых последовательностей (тестов):

*Тест тина T = 1.* Тестовые наборы с равновероятными значениями нулей и единиц, т.е. на любом входе логической схемы для любого входного набора вероятность появления единицы (нуля) равна 0,5.

*Тест тина T = 2.* Тестовые наборы, состоящие из упорядоченной по возрастанию десятичного эквивалента последовательности из  $2^n$  всех наборов булева пространства размерности *n*.

*Тест тина T = 3.* Специальная последовательность тестовых наборов, генерируемая с помощью алгоритма [8] и задающая все упоря-

доченные пары входных наборов из булева пространства размерности *r*.

Результаты экспериментального сравнения представлены в табл. 2, где используются следующие обозначения:

*n* – число входов схемы;

*S* – суммарная площадь (в условных единицах) всех элементов схемы;

*T* – тип теста *T = 1, 2, 3*;

*K* – число наборов в тесте (длина теста);

*A (Average)* – средний потребляемый ток (мА), измеренный с помощью схемотехнического моделирования в системе *Accusim* (ф. *Mentor Graphics*);

*E<sub>ModelSim</sub>* – предсказанное значение потребляемой энергии в кулонах (логическое моделирование в системе *ModelSim*);

*E<sub>Accusim</sub>* – эталонное значение потребляемой энергии в кулонах (схемотехническое моделирование в системе *Accusim*), получаемое как произведение среднего тока на время моделирования;

$\sigma$  – погрешность предсказания значения энергии, потребляемой схемой,

$$\sigma = \frac{(E_{ModelSim} - E_{Accusim})}{E_{Accusim}} 100 \%$$

Анализ представленных в табл. 2 и других полученных экспериментальных данных позволяет сделать следующие выводы.

- Скорость получения оценок энергопотребления на основе *VHDL*-моделирования значительно (на несколько порядков) выше, чем получение таких оценок с помощью схемотехнического моделирования. Например, *VHDL*-моделирование схемы *C1908* (табл. 2) на 4096 тестовых наборах потребовало 15 с, а схемотехническое моделирование на тех же тестовых наборах – один час времени работы компьютера. Оценка на 1024 тестовых наборах энергопотребления схемы *INTB*, состоящей из 1322 элементов суммарной площадью 444709 условных единиц, в системе *AccuSim II* заняла 6 часов, а оценка предложенным способом на основе *VHDL*-моделирования – 20 с, погрешность составила 0,5 процента. На практике, однако, требуется выполнение тестов, включаю-

Таблица 2. Результаты эксперимента

Имя схемы	<i>S</i>	<i>n</i>	<i>T</i>	<i>K</i>	<i>A</i>	<i>E<sub>Accusim</sub></i>	<i>E<sub>ModelSim</sub></i>	$\sigma, \%$
<i>b12</i>	19826	15	1	110	$3,302 \cdot 10^{-4}$	$1,453 \cdot 10^{-9}$	$1,547 \cdot 10^{-9}$	6,5
<i>C1355</i>	96065	41	1	4096	$2,441 \cdot 10^{-3}$	$3,999 \cdot 10^{-7}$	$4,250 \cdot 10^{-7}$	6,3
<i>CHT</i>	47770	47	1	4096	$1,602 \cdot 10^{-3}$	$2,625 \cdot 10^{-7}$	$2,599 \cdot 10^{-7}$	-1,0
<i>FRG2</i>	299501	143	1	4096	$7,249 \cdot 10^{-3}$	$1,188 \cdot 10^{-6}$	$1,223 \cdot 10^{-6}$	2,9
<i>I8</i>	205684	133	1	4096	$9,127 \cdot 10^{-4}$	$1,495 \cdot 10^{-7}$	$1,552 \cdot 10^{-7}$	3,8
<i>C1908</i>	92522	33	1	4096	$2,228 \cdot 10^{-3}$	$3,651 \cdot 10^{-7}$	$4,046 \cdot 10^{-7}$	10,8
<i>life</i>	15178	9	2	512	$2,394 \cdot 10^{-4}$	$4,904 \cdot 10^{-9}$	$4,896 \cdot 10^{-9}$	-0,2
<i>C432</i>	43357	36	1	4096	$9,491 \cdot 10^{-4}$	$1,555 \cdot 10^{-7}$	$1,689 \cdot 10^{-7}$	8,6
<i>FRG1</i>	40154	28	1	4096	$5,973 \cdot 10^{-4}$	$9,787 \cdot 10^{-8}$	$1,015 \cdot 10^{-8}$	3,7
<i>C880</i>	25808	60	1	4096	$3,431 \cdot 10^{-4}$	$5,622 \cdot 10^{-8}$	$5,764 \cdot 10^{-8}$	2,5
<i>C499</i>	46917	41	1	4096	$1,850 \cdot 10^{-4}$	$3,032 \cdot 10^{-8}$	$2,882 \cdot 10^{-8}$	-4,9
<i>I3</i>	30545	132	1	4096	$5,591 \cdot 10^{-4}$	$9,160 \cdot 10^{-8}$	$9,629 \cdot 10^{-8}$	5,1
<i>I9</i>	32236	88	1	512	$5,784 \cdot 10^{-4}$	$1,185 \cdot 10^{-8}$	$1,070 \cdot 10^{-8}$	-9,6
<i>DALU</i>	124071	75	1	1024	$2,117 \cdot 10^{-3}$	$8,673 \cdot 10^{-8}$	$8,630 \cdot 10^{-8}$	-0,5
<i>MY_ADDER</i>	28904	4	1	2048	$7,134 \cdot 10^{-4}$	$5,844 \cdot 10^{-8}$	$5,761 \cdot 10^{-8}$	-1,4
<i>CM42A</i>	1830	4	3	241	$3,082 \cdot 10^{-5}$	$2,971 \cdot 10^{-10}$	$3,093 \cdot 10^{-10}$	4,1
<i>CM82A</i>	3437	5	3	993	$6,522 \cdot 10^{-5}$	$2,591 \cdot 10^{-9}$	$2,649 \cdot 10^{-9}$	2,3
<i>CM85A</i>	4994	11	1	2048	$9,514 \cdot 10^{-5}$	$7,794 \cdot 10^{-9}$	$7,662 \cdot 10^{-9}$	-1,7
<i>CM138A</i>	1099	6	1	2048	$1,194 \cdot 10^{-5}$	$9,777 \cdot 10^{-10}$	$1,014 \cdot 10^{-9}$	3,7
<i>CM162A</i>	6283	14	1	2048	$1,189 \cdot 10^{-4}$	$9,742 \cdot 10^{-9}$	$9,382 \cdot 10^{-9}$	-3,7
<i>INTB</i>	444709	15	1	1024	$4,798 \cdot 10^{-3}$	$1,965 \cdot 10^{-7}$	$1,975 \cdot 10^{-7}$	0,5

щих десятки тысяч (и более) тестовых наборов, поэтому сокращение времени, требуемого для оценки энергопотребления, может быть гораздо более значительным, так требуется моделировать схемы и большей размерности, чем схемы *C1908*, *INTB*.

• Предложенные *VHDL*-модели КМОП-элементов позволили значительно уменьшить погрешности оценок энергопотребления комбинационных КМОП-схем в сравнении с полученными ранее [3, 4] оценками погрешности. Достигнута средняя погрешность 3,39 процентов оценки энергопотребления схем в сравнении с аналоговым моделированием. Получаемые по новым *VHDL*-моделям оценки являются практически полезными, что позволяет многократно оценивать энергопотребление схем на этапе логического проектирования, не выполняя трудоемкое схемотехническое моделирование транзисторных *SPICE*-описаний схем.

**Заключение.** Применение логического моделирования на основе предложенных *VHDL*-моделей КМОП-элементов позволяет на не-

сколько порядков увеличить быстроедействие процессов оценки энергопотребления в сравнении со схемотехническим моделированием и может быть использовано на этапе логического проектирования для оценки различных вариантов схемной реализации проекта цифровой КМОП-схемы.

1. Рабаи Ж.М., Чандракасан А., Николич Б. Цифровые интегральные схемы. – М.: Вильямс, 2007. – 912 с.
2. *Estimation of Average Switching Activity in Combinational and Sequential Circuits* / A. Ghosh, S. Devadas, K. Keutzer et al. // Proc. 29th ACM/ IEEE Design Automation Conf. – 1992. – P. 253–259.
3. Бибило П.Н., Кириенко Н.А. Оценка энергопотребления логических КМОП-схем по их переключательной активности // Микроэлектроника. – 2012. – № 1. – С. 65–77.
4. Бибило П.Н., Соловьев А.Л. Оценка энергопотребления КМОП-схем на базе логического моделирования // Информатика. – 2012. – № 1 (33). – С. 76–85.
5. Оценка энергопотребления цифровых КМОП-схем на основе логического моделирования их структурных описаний / П.Н. Бибило, А.Л. Соловьев, В.Ш. Меликян и др. // Вестн. инженерной академии Армении. – 2012, Т. 9. – № 3. – С. 600–610.
6. Бибило П.Н., Авдеев Н.А. *VHDL*. Эффективное использование при проектировании цифровых систем. – М.: СОЛОН-Пресс, 2006. – 344 с.
7. *Eldo User's Manual*, v. 6.5\_1. – 2005.
8. Закревский А.Д. Минимизация перебора ориентированных пар // Танаевские чтения: доклады Четвертой междунар. науч. конф., Минск, 29–30 марта 2010 г. / ОИПИ НАН Беларуси. – Минск, 2010. – С. 58–62.

Поступила 21.10.2014  
Тел. для справок: +37 517 284-2084, 284-2076 (Минск)  
E-mail: bibilo@newman.bas-net.by  
© П.Н. Бибило, А.Л. Соловьев, 2014