

doi:<https://doi.org/10.15407/emodel.41.01.027>

УДК 004.052.32+681.518.5

Д.В. Ефанов, д-р техн. наук

Российский университет транспорта (МИИТ)

(Российская Федерация, 127994, Москва, ул. Образцова, д. 9,

тел. (+7) (911) 7092164, (+7)(915) 4809191, e-mail: TrES-4b@yandex.ru),

В.В. Сапожников, д-р техн. наук, **Вл.В. Сапожников**, д-р техн. наук,

Д.В. Пивоваров, аспирант

Петербургский государственный университет путей сообщения

Императора Александра I

(Российская Федерация, 190031, Санкт-Петербург, Московский пр. 9,

тел. (+7)(812) 4578579, e-mail: port.at.pgups@gmail.com)

Ограничения на структуры компонентов полностью самопроверяемых схем встроенного контроля, синтезированных методом логического дополнения до равновесного кода «1 из 3»

Исследована проблема синтеза самопроверяемых схем встроенного контроля (систем функционального контроля (ФК)) методом логического дополнения по равновесным кодам. Рассмотрены ограничения на структуры компонентов систем ФК на примере использования кода «1 из 3» (1/3-кода). Показано, что кроме обеспечения тестируемости блока логического дополнения и тестера в схеме контроля требуется контролепригодная реализация объекта диагностирования и блока контрольной логики. Сформулированы условия обеспечения полной самопроверяемости структуры системы ФК на основе метода логического дополнения до 1/3-кода. Приведены примеры, позволяющие наглядно представить проблему тестируемости компонентов, а также судить о возможности применения метода логического дополнения при построении самопроверяемых дискретных систем.

Ключевые слова: самопроверяемая схема встроенного контроля, система функционального контроля, метод логического дополнения, равновесный код, код «1 из 3», самопроверяемость структуры.

Одним из важнейших направлений в синтезе надежных и безопасных дискретных систем автоматического управления является использование принципов обнаружения отказов и снабжение критически важных вычислительных компонентов самопроверяемыми схемами встроенного контроля (системами функционального контроля (ФК)) [1—5]. Существует много различных методов синтеза систем ФК: от классического метода

© Ефанов Д.В., Сапожников В.В., Сапожников Вл.В., Пивоваров Д.В., 2019

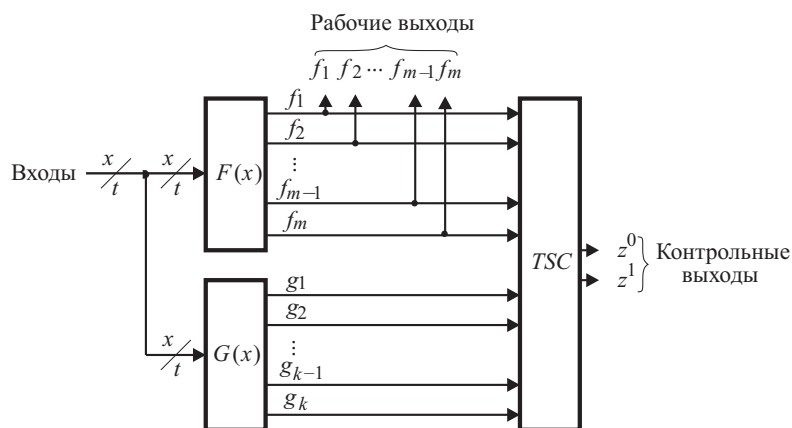


Рис. 1. Структурная схема системы ФК

дублирования до применения равномерных кодов при выборе структурной схемы на основе метода вычисления контрольных разрядов или логического дополнения [6—11].

На рис. 1 изображена структурная схема системы ФК, в которой контролируемое логическое устройство $F(x)$ снабжено специализированной схемой контроля в составе блока контрольной логики (КЛ) $G(x)$ и тестера TSC . Блок КЛ вычисляет значения контрольных функций, а тестер сравнивает между собой значения рабочих и контрольных функций, вырабатывая сигнал контроля [12].

Для построения дискретных устройств с самопроверяемыми относительно заданной модели неисправностей структурами необходимо выполнять ряд требований [13]. Прежде всего, контролируемое логическое устройство (ЛУ) (объект диагностирования) должно быть контролепригодным, т.е. любая неисправность из заданного множества хотя бы на одном входном наборе должна проявляться в виде искажений выходных значений. Для фиксации данных искажений используется специализированная схема контроля. В ней блок КЛ должен быть проверяемым, а схема тестера — полностью самопроверяемой. Свойство самопроверяемости означает, что технический объект должен быть самотестируемым и защищенным от любой неисправности из заданного множества. Самотестируемость означает возможность проявления каждой неисправности хотя бы на одном входном наборе в виде нерабочих кодовых комбинаций, а защищенность от неисправностей — невозможность в результате неисправности установки неверных рабочих значений кодовых комбинаций. Таким образом, процедура синтеза самопроверяемых систем ФК имеет существенные ограничения.

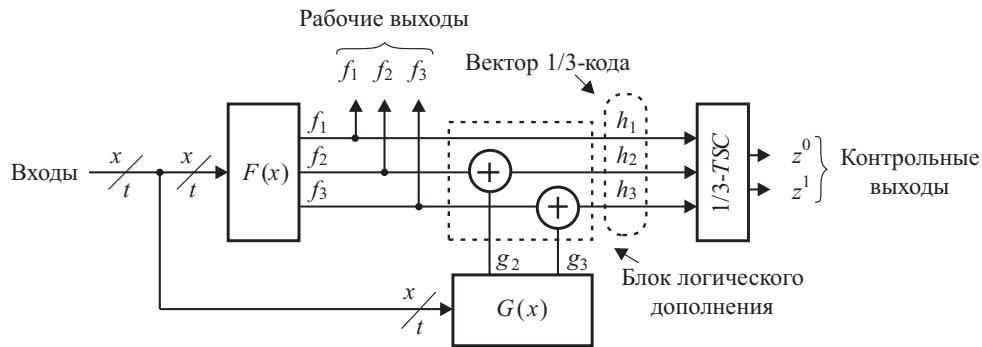


Рис. 2. Базовая структурная схема системы ФК, реализованная методом логического дополнения до 1/3-кода

В работах [14—19] показаны преимущества метода логического дополнения над методом вычисления контрольных разрядов, которые связаны с более гибкими условиями построения системы ФК и возможностью синтеза более простых структур. При этом отмечено, что наиболее эффективным при синтезе систем ФК по методу логического дополнения является применение равновесных кодов с малой длиной кодовых слов (r/n -кодов, где r и n — вес и длина кодового слова). Однако в указанных работах не уделено должного внимания проблеме обеспечения тестируемости неисправностей в блоках основной и контрольной логики.

Исследуем возможность применения 1/3-кода при организации систем ФК, используя модель одиночных константных неисправностей выходов внутренних логических элементов.

Базовая структура логического дополнения по 1/3-коду. При использовании для контроля ЛУ 1/3-кода их выходы разбиваются на группы по три выхода в каждой (возможно использование одинаковых выходов в различных группах). Для каждой такой группы организуется своя схема контроля, а затем выходы всех схем контроля объединяются на входах самопроверяемого компаратора, синтезируемого на основе каскадного подключения модулей сжатия парафазных сигналов [20]. На рис. 2 представлена базовая структурная схема системы ФК на основе метода логического дополнения по 1/3-коду. Особенностью данной схемы, в отличие от традиционной структурной схемы системы ФК, является наличие блока логического дополнения, включающего в себя каскад сумматоров по модулю два. Они необходимы для преобразования векторов рабочих функций $\langle f_1 f_2 f_3 \rangle$ в кодовые слова $\langle h_1 h_2 h_3 \rangle$, принадлежащие 1/3-коду. Любой вектор рабочих функций может быть преобразован в вектор 1/3-кода с изменением значений только двух разрядов f_i .

При синтезе систем ФК на основе структурной схемы, изображенной на рис. 2, требуется обеспечивать подачу на входы 1/3-*TSC* всех кодовых слов 1/3-кода, а также подачу на каждый элемент сложения по модулю два проверяющего теста, включающего в себя комбинации {00, 01, 10, 11} [21]. Это подразумевает подачу на входы системы ФК определенного подмножества входных комбинаций.

Определим, какие ограничения накладываются на структуры блоков $F(x)$ и $G(x)$ в системе ФК, синтезируемой на основе 1/3-кода [14—16, 22—24], для того чтобы обеспечить свойство их проверяемости.

Условия обеспечения полной самопроверяемости базовой структуры. В системе ФК содержатся четыре независимых блока: блок основной логики $F(x)$, блок КЛ $G(x)$, блок логического дополнения и самопроверяемый 1/3-*TSC*. Возникновение неисправности допускается только в одном из четырех блоков. Методы обеспечения полной проверки блока логического дополнения и тестера описаны в работах [14—16, 22—24]. Для получения полностью самопроверяемой базовой структуры необходимо обеспечить также обнаружение на выходах тестера любой одиночной неисправности в структурах блоков $F(x)$ и $G(x)$.

Особенностью 1/3-кодов является обнаружение ошибок любых видов и кратностей в кодовых словах, за исключением симметричных двукратных искажений, т.е. таких, при которых одновременно искажаются нулевые и единичные разряды [25]. Именно это свойство необходимо учитывать при определении условий обеспечения полной самопроверяемости базовой структуры системы ФК. Необходимо наложить такие ограничения на блоки $F(x)$ и $G(x)$, чтобы любая одиночная неисправность не вызывала на выходах блока логического дополнения симметричной ошибки.

Рассмотрим блок $F(x)$. При внесении неисправности внутри блока на выходах f_1, f_2 и f_3 возможно возникновение одиночных, двух- и трехкратных ошибок. При одиночной ошибке на входах тестера формируется вектор с весом $r = 0$ или $r = 2$ и она фиксируется. При трехкратной ошибке на входах тестера формируется вектор с весом $r = 2$, что также фиксируется.

Двукратные ошибки возможны двух типов: однонаправленные (монотонные) и разнонаправленные (симметричные). Анализ показывает, что любая из этих ошибок может как фиксироваться, так и не фиксироваться на выходах тестера. Результат зависит от значений сигналов g_2 и g_3 , которые вырабатываются на выходах блока $G(x)$. Назовем выход блока $F(x)$ f_1 пассивным, так как сигнал с этого выхода не преобразуется, а выходы f_2 и f_3 — активными.

На рис. 3 приведены примеры работы базовой структуры для случая, когда ошибки одновременно возникают на активном и пассивном выходах

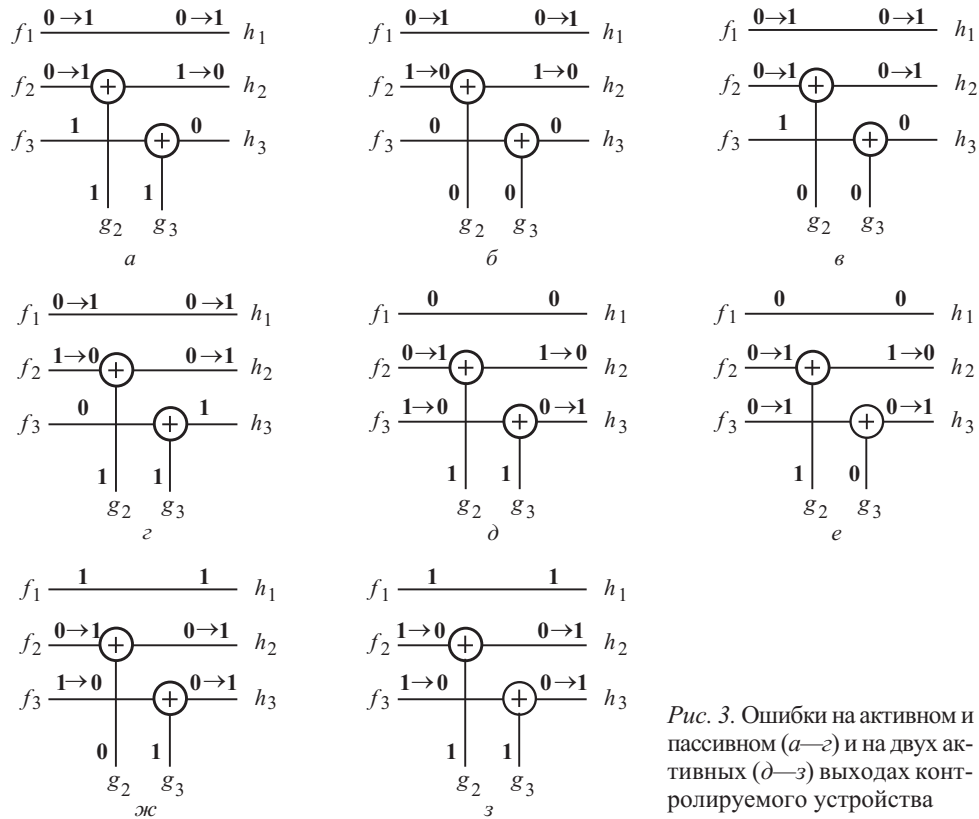


Рис. 3. Ошибки на активном и пассивном (а—г) и на двух активных (д—з) выходах контролируемого устройства

(рис. 3, а—г), а также для случая, когда ошибки одновременно возникают на двух активных выходах (рис. 3, д—з). На рис. 3, а и в, зафиксированы однонаправленные искажения на выходах f_1 и f_2 , а на рис. 3, б и г, — разнонаправленные. Однако обнаруженными будут только искажения, приведенные на рис. 3, в и г. Аналогичный пример с одновременными искажениями на обоих активных выходах при однонаправленных искажениях на выходах f_2 и f_3 приведен на рис. 3, е и з, и разнонаправленных — на рис. 3, д и ж. Вызываемые ошибки будут обнаружены только в случаях, представленных на рис. 3, ж и з.

Взаимосвязь между значениями сигналов на выходах блоков $F(x)$ и $G(x)$ определяется следующими положениями.

Утверждение 1. Одновременное искажение значений двух из трех выходов блока $F(x)$ обнаруживается на выходах базовой структуры в следующих случаях:

- 1) при искажении сигналов на пассивном f_1 и активном f_b выходах ($b \in \{2; 3\}$) должны выполняться следующие условия: если $f_1 = f_b$, то $g_b = 0$, или если $f_1 \neq f_b$, то $g_b = 1$;

2) при искажении сигналов на активных выходах f_a и f_b ($a, b \in \{2; 3\}$) должны выполняться следующие условия: если $f_a \neq f_b$, то $g_a \neq g_b$, или если $f_a = f_b$, то $g_a = g_b$.

Рассмотрим первый случай. Положим, что $g_b = 0$. Тогда $h_b = f_b \oplus g_b = f_b$. Поэтому при $f_1 = f_b$ и при наличии ошибок на обоих выходах на входы тестера транслируется двукратная однонаправленная ошибка. Если $g_b = 1$, то $h_b = f_b \oplus g_b = \overline{f_b}$. Поэтому при $f_1 \neq f_b$ и при наличии ошибок на обоих выходах на входы тестера также транслируется двукратная однонаправленная ошибка. Положение, зафиксированное во втором случае, доказывается аналогично.

На рис. 4 приведены схемы, на которых показано возникновение обнаруживаемых ошибок на выходах блока основной логики.

Условия, сформированные в утверждении 1, являются сложными для проверки. Они могут быть использованы при построении системы ФК, имеющей достаточно простые блоки $F(x)$. Для многовыходных схем часто используют организацию контроля по группам выходов. В этом случае базовая структура на основе 1/3-кода может быть использована для контроля групп из трех H^r -независимых выходов. Условием H^r -независимости двух выходов, f_i и f_j (H^2 -независимости), является выражение

$$\frac{\partial f_i}{\partial y_t} \frac{\partial f_j}{\partial y_t} = 0, \quad i, j \in \{1; 2; 3\}. \quad (1)$$

Оно должно выполняться для каждого логического элемента G_t , на выходе которого реализуется функция y_t .

В группе из трех H^r -независимых выходов на каждом входном наборе схемы невозможно искажение более одной выходной функции. Такое искажение обнаруживается в базовой структуре. Однако, так как в базовой структуре обнаруживается одновременное искажение трех выходов, то условие (1) может быть преобразовано к виду

$$\frac{\partial f_i}{\partial y_t} \frac{\partial f_j}{\partial y_t} \frac{\partial \overline{f_p}}{\partial y_t} = 0, \quad i, j, p \in \{1; 2; 3\}. \quad (2)$$

Условие (2) назовем условием H^3 -независимости трех выходов. Левая часть выражения (2) определяет множество входных наборов с одновременным искажением двух функций из трех, за исключением наборов, на которых искажаются все три функции.

На схеме с тремя выходами (рис. 5) все пары выходов не отвечают условиям независимости, но отвечают условию (2). Поэтому в представленной базовой структуре обнаруживаются все одиночные неисправности логических элементов основного блока.

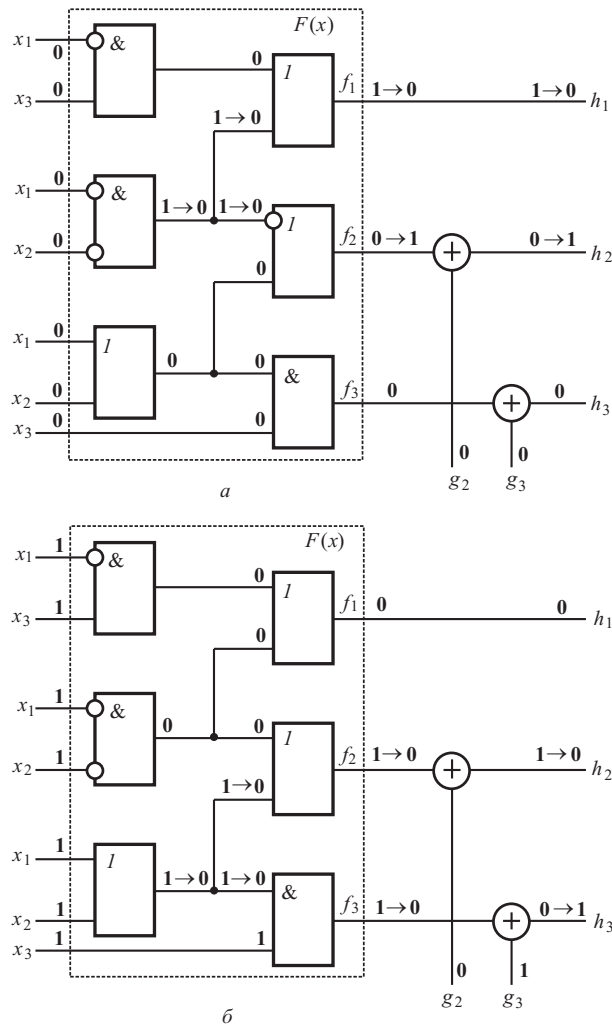


Рис. 4. Схемы, в которых на преобразуемом и непреобразуемом (а) и на двух преобразуемых (б) выходах возможна необнаруживаемая ошибка

Для реализации полностью самопроверяемой структуры в соответствии со схемой, приведенной на рис. 5, требуется реализовать схемы для функций g_2 и g_3 отдельно (сделать эти два выхода блока КЛ независимыми). В этом случае одиночные неисправности будут оказывать влияние только на один элемент XOR и возникновение симметричной ошибки на входах 1/3-TSC будет невозможным. Можно сравнить структуру такой системы со структурой системы дублирования и оценить сложность ее реализации по числу входов логических элементов с учетом того, что

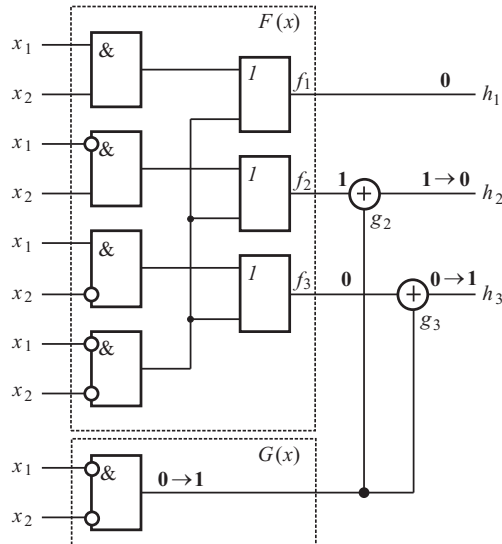


Рис. 5. Комбинационная схема с тремя выходами

сложность блока $F(x)$ составляет $L_{F(x)} = 14$, $L_{G(x)} = 4$, $L_{XOR} = 6$, $L_{TRC} = 12$, $L_{1/3-TSC} = 18$, $L_{NOT} = 1$ [26]. Для системы ФК, изображенной на рис. 5,

$$L_{CED} = L_{F(x)} + L_{G(x)} + 2L_{XOR} + L_{1/3-TSC} = 14 + 4 + 2 \cdot 6 + 18 = 48,$$

для системы дублирования

$$L_D = 2L_{F(x)} + 3L_{NOT} + 2L_{TRC} = 2 \cdot 14 + 3 \cdot 1 + 2 \cdot 12 = 52.$$

Далее рассмотрим проблему обнаружения неисправностей в блоке КЛ $G(x)$, имеющем только два выхода, g_2 и g_3 (см. рис. 2). Одиночная ошибка на этих выходах обнаруживается, так как приводит к одиночной ошибке на входах 1/3-TSC. Аналогично утверждению 1 доказывается следующее утверждение.

Утверждение 2. Одновременное искажение выходов блока $G(x)$ обнаруживается на выходах базовой структуры в двух случаях:

- 1) если $g_a = f_b$ ($a, b \in \{2; 3\}$), то $f_a = f_b$;
- 2) если $g_a \neq g_b$, то $f_a \neq f_b$.

На рис. 6 приведены примеры ошибок в случае, когда сигналы g_2 и g_3 имеют однонаправленные искажения. При построении полностью самопроверяемой базовой структуры условия утверждения 2 необходимо проверять. Однако, так как блок $G(x)$ синтезируется отдельно от других блоков базовой структуры, он всегда может быть реализован в виде устройства с H^2 -независимыми выходами. Например, в схеме с тремя выходами (см. рис. 5) блок $G(x)$ реализован в виде одного элемента, вычисляющего функцию $\overline{x_1 x_2}$. Ошибка на выходе этого элемента типа $0 \rightarrow 1$ при

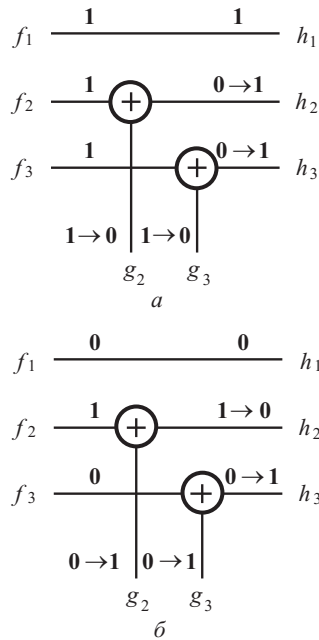


Рис. 6. Примеры обнаруживаемой (а) и необнаруживаемой (б) ошибок на выходах блока логического дополнения

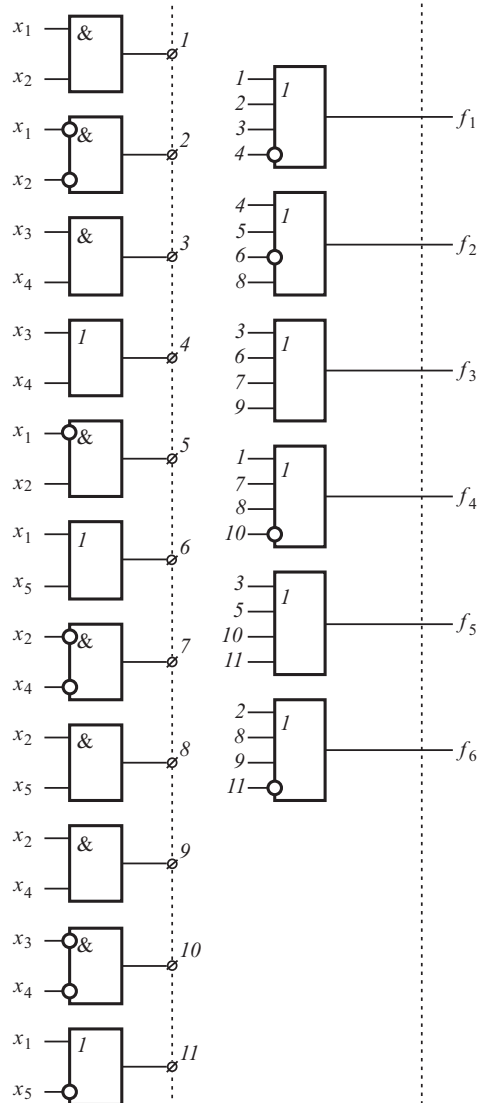


Рис. 7. Комбинационная схема с шестью выходами

поступлении входного набора $\overline{x_1} x_2$ не фиксируется. Поэтому для получения полностью самопроверяемой схемы данный элемент необходимо продублировать, физически разделив выходы g_2 и g_3 .

При построении полностью самопроверяемых многовыходных комбинационных схем H^3 -независимые группы выходов можно использовать наряду с независимыми [27], монотонно независимыми [28] и H^2 -независимыми группами [29]. На рис. 7 приведена двухуровневая схема с шестью выходами, не имеющая указанных выше групп выходов, кроме двух групп H^3 -независимых выходов, $\{f_1, f_3, f_5\}$ и $\{f_2, f_4, f_6\}$. Поэтому воз-

можно построение полностью самопроверяемой системы ФК без преобразования схемы только на основе дублирования или двух базовых структур по 1/3-коду.

Выводы

Метод логического дополнения, обладающий гибкостью вследствие возможности подбора функций логического дополнения, позволяет синтезировать системы ФК с уменьшенной структурной избыточностью в отличие от метода вычисления контрольных разрядов и классической структуры дублирования. Тем не менее, при использовании именно блока дополнения на структуры блоков основной и контрольной логики в системе ФК накладываются некоторые специальные ограничения на реализацию. В противном случае система диагностирования не будет наделена свойством полной самопроверяемости. Сформулированные утверждения легко обобщаются на случай использования произвольных r/n -кодов.

СПИСОК ИСПОЛЬЗОВАННОЙ ЛИТЕРАТУРЫ

1. *Goessel M., Graf S.* Error Detection Circuits. London: McGraw-Hill, 1994, 261 p.
2. *Pradhan D.K.* Fault-Tolerant Computer System Design. New York: Prentice Hall, 1996, 560 p.
3. *Bushnell M.L., Agrawal V.D.* Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI Circuits. USA: Kluwer academic publishers, 2000, 690 p.
4. *Lala P.K.* Principles of Modern Digital Design. New-Jersey: John Wiley & Sons, 2007, 436 p.
5. *Ubar R., Raik J., Vierhaus H.-T.* Design and Test Technology for Dependable Systems-on-Chip (Premier Reference Source). Information Science Reference. Hershey — New York, IGI Global, 2011, 578 p.
6. *Goessel M., Saposhnikov Vl., Saposhnikov V., Dmitriev A.* A New Method for Concurrent Checking by Use of a 1-out-of-4 Code // Proc. of the 6th IEEE International On-line Testing Workshop. 3—5 July 2000. Palma de Mallorca, Spain, p. 147—152.
7. *Mitra S., McCluskey E.J.* Which Concurrent Error Detection Scheme to Choose? // Proc. of International Test Conference, 2000. USA, Atlantic City, NJ, 03—05 October 2000, p. 985—994.
8. *Saposhnikov V.V., Saposhnikov Vl.V., Morozov A. et al.* Design of Totally Self-Checking Combinational Circuits by Use of Complementary Circuits // Proc. of East-West Design & Test Workshop. Yalta, Ukraine, 2004, p. 83—87.
9. *Wang L.-T., Wu C.-W., Wen X.* VLSI Test Principles and Architectures: Design for Testability. USA, San Francisco, Morgan Kaufmann Publishers, 2006, 777 p.
10. *Borecky J., Kohlik M., Kubatova H.* Parity Driven Reconfigurable Duplex System // Microprocessors and Microsystems. 2017, Vol. 52, p. 251—260, DOI: 10.1016/j.micpro.2017.06.015.
11. *Гессель М., Морозов А.В., Сапожников В.В., Сапожников Вл.В.* Контроль комбинационных схем методом логического дополнения // Автоматика и телемеханика. 2005, №8, с. 161—172.
12. *Nicolaidis M., Zorian Y.* On-Line Testing for VLSI — A Compendium of Approaches // Journal of Electronic Testing: Theory and Applications. 1998, №12, p. 7—20.

13. Пархоменко П.П., Согомонян Е.С. Основы технической диагностики (оптимизация алгоритмов диагностирования, аппаратные средства). М.: Энергоатомиздат, 1981, 320 с.
14. Sapozhnikov V.V., Morozov A., Sapozhnikov V.I., Goessel M. Concurrent Checking by Use of Complementary Circuits for «1-out-of-3» Codes // 5th International Workshop IEEE DDECS 2002. Brno, Czech Republic, April 17—19, 2002.
15. Гессель М., Морозов А.В., Сапожников В.В., Сапожников Вл.В. Логическое дополнение — новый метод контроля комбинационных схем // Автоматика и телемеханика. 2003, №1, с. 167—176.
16. Gössel M., Ocheretny V., Sogomonyan E., Marienfeld D. New Methods of Concurrent Checking: Edition 1. Dordrecht: Springer Science+Business Media B.V., 2008, 184 p.
17. Sen S.K. A Self-Checking Circuit for Concurrent Checking by 1-out-of-4 code with Design Optimization using Constraint Don't Cares // National Conference on Emerging trends and advances in Electrical Engineering and Renewable Energy (NCEEERE 2010). Sikkim Manipal Institute of Technology, Sikkim, held during 22—24 December, 2010.
18. Efanov D., Sapozhnikov V., Sapozhnikov V.I. Method of Self-Checking Concurrent Error Detection System Development Based on Constant-Weight Code «2-out-of-4» // Proc. of 3rd International Conference on Industrial Engineering, Applications and Manufacturing (ICIEAM). St. Petersburg, Russia, May 16—19, 2017, p. 1—6. DOI: 10.1109/ICIEAM.2017.8076374.
19. Sapozhnikov V., Sapozhnikov V.I., Efanov D. et al. Combinational Circuit Check by Boolean Complement Method Based on «1-out-of-5» Code // Proc. of 15th IEEE East-West Design & Test Symposium (EWDTS'2017). Novi Sad, Serbia, September 29 — October 2, 2017, p. 89—94. DOI: 10.1109/EWDTS.2017.8110076.
20. Huches J.L.A., McCluskey E.J., Lu D.J. Design of Totally Self-Checking Comparators with an Arbitrary Number of Inputs // IEEE Transactions on Computers. 1984, Vol. C-33, No. 6, p. 546—550.
21. Аксёнова Г.П. Необходимые и достаточные условия построения полностью проверяемых схем свертки по модулю 2 // Автоматика и телемеханика. 1979, №9, с. 126—135.
22. Das D.K., Roy S.S., Dmitiriev A. et al. Constraint Don't Cares for Optimizing Designs for Concurrent Checking by 1-out-of-3 Codes // Proc. of the 10th International Workshops on Boolean Problems. Freiberg, Germany, September, 2012, p. 33—40.
23. Efanov D., Sapozhnikov V., Sapozhnikov V.I. Methods of Organization of Totally Self-Checking Concurrent Error Detection System on the Basis of Constant-Weight «1-out-of-3»-Code // Proc. of 14th IEEE East-West Design & Test Symposium (EWDTS'2016). Yerevan, Armenia, October 14—17, 2016, p. 117—125. DOI: 10.1109/EWDTS.2016.7807622.
24. Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Построение полностью самопроверяемых структур систем функционального контроля с использованием равновесного кода «1 из 3» // Электрон. моделирование. 2016, 38, №6, с. 25—43.
25. Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Классификация ошибок в информационных векторах систематических кодов // Изв. вузов. Приборостроение. 2015, 58, №5, с. 333—343. DOI: 10.17586/0021-3454-2015-58-5-333-343.
26. Сапожников В.В., Сапожников Вл.В., Ефанов Д.В., Пивоваров Д.В. Синтез систем функционального контроля многовыходных комбинационных схем на основе метода логического дополнения // Вестник Томского государственного университета. Управление, вычислительная техника и информатика. 2017, №4, с. 69—80. DOI: 10.17223/19988605/41/9.
27. Sogomonyan E.S., Gössel M. Design of Self-Testing and On-Line Fault Detection Combinational Circuits with Weakly Independent Outputs // Journal of Electronic Testing: Theory and Applications. 1993, Vol. 4, Issue 4, p. 267—281. DOI:10.1007/BF00971975.

28. Morosow A., Sapozhnikov V.V., Sapozhnikov Vl.V., Goessel M. Self-Checking Combinational Circuits with Unidirectionally Independent Outputs // VLSI Design. 1998, Vol. 5, Issue 4, p. 333—345. DOI: 10.1155/1998/20389.
29. Ефанов Д.В., Сапожников В.В., Сапожников Вл.В. Синтез самопроверяемых комбинационных устройств на основе выделения специальных групп выходов // Автоматика и телемеханика. 2018, №9, с. 79—94.

Поступила 31.05.18

REFERENCES

1. Goessel, M. and Graf, S. (1994), Error Detection Circuits, McGraw Hill, London.
2. Pradhan, D.K. (1996), Fault-Tolerant Computer System Design, Prentice Hall, New York.
3. Bushnell, M.L. and Agrawal, V.D. (2000), Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI Circuits, Kluwer academic publishers, USA.
4. Lala, P.K. (2007), Principles of Modern Digital Design, John Wiley & Sons, New-Jersey.
5. Ubar, R., Raik, J. and Vierhaus, H.-T. (2011), Design and Test Technology for Dependable Systems-on-Chip. Information Science Reference, IGI Global, Hershey, New York.
6. Goessel, M., Saposhnikov, Vl., Saposhnikov, V. and Dmitriev, A. (2000), “A New Method for Concurrent Checking by Use of a 1-out-of-4 Code”, *6th IEEE International On-line Testing Workshop*, Palma de Mallorca, Spain, July 3-5, 2000, pp. 147-152.
7. Mitra, S. and McCluskey, E.J. (2000), “Which Concurrent Error Detection Scheme to Choose?”, *International Test Conference*, Atlantic City, NJ, USA, October 03-05, 2000, pp. 985-994.
8. Saposhnikov, V.V., Saposhnikov, Vl.V. and Morozov, A. (2004), “Design of Totally Self-Checking Combinational Circuits by Use of Complementary Circuits”, *East-West Design & Test Workshop*, Yalta, Ukraine, 2004, pp. 83-87.
9. Wang, L.-T., Wu, C.-W. and Wen, X. (2006), VLSI Test Principles and Architectures: Design for Testability, Morgan Kaufmann Publishers, San Francisco, USA.
10. Borecky, J., Kohlik, M. and Kubatova, H. (2017), “Parity Driven Reconfigurable Duplex System”, *Microprocessors and Microsystems*, Vol. 52, pp. 251-260. DOI: 10.1016/j.micpro.2017.06.015.
11. Goessel, M., Morozov, A.V., Sapozhnikov, V.V. and Sapozhnikov, Vl.V. (2005), “Checking Combinational Circuits by the Method of Logic Complement”, *Avtomatika i telemekhanika*, no. 8, pp. 161-172.
12. Nicolaidis, M. and Zorian, Y. (1998), “On-Line Testing for VLSI — A Compendium of Approaches”, *Journal of Electronic Testing: Theory and Applications*, no. 12, pp. 7-20.
13. Parkhomenko, P.P. and Sogomonyan, E.S. (1981), *Osnovy tekhnicheskoy diagnostiki (optimizatsiya algoritmov diagnostirovaniya, apparaturnye sredstva)* [Basics of technical diagnostics (optimization of diagnostic algorithms and equipment)], Energoatomizdat, Moscow, USSR.
14. Saposhnikov, V.V., Morozov, A., Saposhnikov, Vl.V. and Goessel, M. (2002), “Concurrent Checking by Use of Complementary Circuits for «1-out-of-3» Codes”, *5th International Workshop IEEE DDECS*, Brno, Czech Republic, April 17-19, 2002.
15. Goessel, M., Morozov, A.V., Sapozhnikov, V.V. and Sapozhnikov, Vl.V. (2003), “Logic Complement, a New Method of Checking the Combinational Circuits”, *Avtomatika i telemekhanika*, no. 1, pp. 167-176.
16. Göessel, M., Ocheretny, V., Sogomonyan, E. and Marienfeld, D. (2008), New Methods of Concurrent Checking, Edition 1, Dordrecht: Springer Science+Business Media B.V., Nederland.

17. Sen, S.K. (2010), "A Self-Checking Circuit for Concurrent Checking by 1-out-of-4 code with Design Optimization using Constraint Don't Cares", *National Conference on Emerging trends and advances in Electrical Engineering and Renewable Energy* (NCEEERE 2010), Sikkim Manipal Institute of Technology, Sikkim, December 22-24, 2010.
18. Efanov, D., Sapozhnikov, V. and Sapozhnikov, Vl. (2017), "Method of Self-Checking Concurrent Error Detection System Development Based on Constant-Weight Code "2-out-of-4", *Applications and Manufacturing* (ICIEAM), *Proceeding of 3^{ed} International Conference on Industrial Engineering*, St. Petersburg, Russia, May 16-19, 2017, p. 1-6. DOI: 10.1109/ICIEAM.2017.8076374.
19. Sapozhnikov, V., Sapozhnikov, Vl. and Efanov, D. (2017), "Combinational Circuit Check by Boolean Complement Method Based on "1-out-of-5" Code", *Proceeding of 15th IEEE East-West Design & Test Symposium* (EWDTS'2017), Novi Sad, Serbia, September 29-October 2, 2017, pp. 89-94, DOI: 10.1109/EWDTS.2017.8110076.
20. Huches, J.L.A., McCluskey, E.J. and Lu, D.J. (1984), "Design of Totally Self-Checking Comparators with an Arbitrary Number of Inputs", *IEEE Transactions on Computers*, Vol. C-33, no. 6, pp. 546-550.
21. Aksonova, G.P. (1979), "Necessary and sufficient conditions for the design of totally checking circuits of compression by modulo 2", *Avtomatika i Telemekhanika*, no. 9, pp. 126-135.
22. Das, D.K., Roy, S.S. and Dmitriev, A. (2012), "Constraint Don't Cares for Optimizing Designs for Concurrent Checking by 1-out-of-3 Codes", *Proceeding of the 10th International Workshops on Boolean Problems*, Freiberg, Germany, September, 2012, pp. 33-40.
23. Efanov, D., Sapozhnikov, V. and Sapozhnikov, Vl. (2016), "Methods of Organization of Totally Self-Checking Concurrent Error Detection System on the Basis of Constant-Weight «1-out-of-3»-Code", *Proceeding of 14th IEEE East-West Design & Test Symposium* (EWDTS'2016), Yerevan, Armenia, October 14-17, 2016, pp. 117-125, DOI: 10.1109/EWDTS.2016.7807622.
24. Sapozhnikov, V., Sapozhnikov, Vl., and Efanov, D. (2016), "Formation of Totally Self-Checking Structures of Concurrent Error Detection Systems With Use of Constant-Weight Code "1-out-of-3", *Elektronnoe modelirovanie*, Vol. 38, no. 6, pp. 25-43.
25. Sapozhnikov, V.V., Sapozhnikov, Vl.V. and Efanov, D.V. (2015), "Errors Classification in Information Vectors of Systematic Codes", *Izvestiya Vysshikh Uchebnykh Zavedeniy. Priborostroenie*, Vol. 58, no. 5, pp. 333-343, DOI: 10.17586/0021-3454-2015-58-5-333-343.
26. Sapozhnikov, V., Sapozhnikov, Vl., Efanov, D. and Pivovarov, D. (2017), "Synthesis of concurrent error detection systems of multioutput combinational circuits based on Boolean complement method", *Vestnik Tomskogo gosudarstvennogo universiteta. Upravlenie, vychislitel'naya tekhnika i informatika*, no. 4, pp. 69-80, DOI: 10.17223/19988605/41/9.
27. Sogomonyan, E.S. and Gössel, M. (1993), "Design of Self-Testing and On-Line Fault Detection Combinational Circuits with Weakly Independent Outputs", *Journal of Electronic Testing: Theory and Applications*, Vol. 4, Issue 4, pp. 267-281, DOI:10.1007/BF00971975.
28. Morosow, A., Sapozhnikov, V.V., Sapozhnikov, Vl.V. and Goessel, M. (1998), "Self-Checking Combinational Circuits with Unidirectionally Independent Outputs", *VLSI Design*, Vol. 5, Issue 4, p. 333-345, DOI: 10.1155/1998/20389.
29. Efanov, D.V., Sapozhnikov, V.V. and Sapozhnikov, Vl.V. (2018), "Synthesis of Self-Checking Combinational Devices Based on Allocating Special Groups of Outputs", *Avtomatika i telemekhanika*, no. 9, pp. 79-94.

Received 31.05.18

Д.В. Ефанов, В.В. Сапожников, Вл.В. Сапожников, Д.В. Пивоваров

ОБМЕЖЕННЯ НА СТРУКТУРИ КОМПОНЕНТІВ ПОВНІСТЮ
САМОКОНТРОЛЬОВАНИХ СХЕМ ВБУДОВАНОГО КОНТРОЛЮ,
СИНТЕЗОВАНИХ МЕТОДОМ ЛОГІЧНОГО ДОПОВНЕННЯ
ДО РІВНОВАГОВОГО КОДУ «1 з 3»

Досліджено проблему синтезу самоконтрольованих схем вбудованого контролю (систем функціонального контролю (ФК)) методом логічного доповнення по рівновагим кодам. Розглянуто обмеження на структури компонентів систем ФК при використанні коду «1 з 3» (1/3-кода). Показано, що крім забезпечення тестування блоку логічного доповнення і тестера в схемі контролю необхідно реалізувати контролепридатний об'єкт діагностування та блок контрольної логіки. Сформульовано умови забезпечення повного самоконтролю структури системи ФК за методом логічного доповнення до 1/3-коду. Наведено приклади, які дозволяють розглянути проблему тестування компонентів, а також визначити можливість застосування методу логічного доповнення при побудові самоконтрольованих дискретних систем.

К л ю ч о в і с л о в а: самоконтрольована схема вбудованого контролю, система функціонального контролю, метод логічного доповнення, рівноважний код, код «1 з 3», самоконтрольованість структури.

D.V. Efanov, V.V. Sapozhnikov, Vl.V. Sapozhnikov, D.V. Pivovarov

COMPONENT STRUCTURE RESTRICTIONS
OF TOTALLY SELF-CHECKING BUILT-IN CHECKING CIRCUITS
SYNTHESIZED BY THE BOOLEAN COMPLEMENT METHOD
TO THE CONSTANT-WEIGHT CODES «1-OUT-OF-3»

The problem of the self-checking built-in checking circuits (concurrent error-detection systems) synthesis by the Boolean complement method of constant-weight codes is investigated. The restrictions on the structure of the components of concurrent error-detection systems are considered by the example of using the “1-out-of-3” code. It is shown that in addition to ensuring the testability of the Boolean complement and the checker in the control circuit, a testable implementation of the object of diagnosis and the check logic block are required. The conditions for ensuring totally self-checking of the concurrent error-detection system structure based on the method of Boolean complement to the “1-out-of-3” code is formulated. Examples illustrating the problem of testing the components and allowing to drawing conclusions about the possibility of using the Boolean complement method in the construction of self-checking discrete systems are given.

К e y w o r d s: self-checking built-in checking circuit, concurrent error-detection system, Boolean complement, the constant-weight codes, «1-out-of-3» code, self-checking structure.

ЕФАНОВ Дмитрий Викторович, д-р техн. наук, доцент, профессор кафедры «Автоматика, телемеханика и связь на железных дорогах» Российского университета транспорта (МИИТ), руководитель направления систем мониторинга и диагностики ООО «ЛокоТех-Сигнал». В 2007 г. окончил Петербургский государственный университет путей сообщения. Область научных исследований — дискретная математика, надежность и техническая диагностика дискретных систем.

САПОЖНИКОВ Валерий Владимирович, д-р техн. наук, профессор, профессор кафедры «Автоматика и телемеханика на железных дорогах» Петербургского государственного университета путей сообщения Императора Александра I. В 1963 г. окончил Ленинградский ин-т инженеров железнодорожного транспорта. Область научных исследований — надежный синтез дискретных устройств, синтез безопасных систем, синтез самопроверяемых схем, техническая диагностика дискретных систем.

САПОЖНИКОВ Владимир Владимирович, д-р техн. наук, профессор, профессор кафедры «Автоматика и телемеханика на железных дорогах» Петербургского государственного университета путей сообщения Императора Александра I. В 1963 г. окончил Ленинградский ин-т инженеров железнодорожного транспорта. Область научных исследований — надежный синтез дискретных устройств, синтез безопасных систем, синтез самопроверяемых схем, техническая диагностика дискретных систем.

ПИВОВАРОВ Дмитрий Вячеславович, аспирант кафедры «Автоматика и телемеханика на железных дорогах» Петербургского государственного университета путей сообщения Императора Александра I, который окончил в 2016 г. Область научных исследований — техническая диагностика дискретных систем, математическое моделирование.

