

doi

УДК 004.052.32+681.518.5

**Д.В. Ефанов**, д-р техн. наук

Российский университет транспорта

(Российская Федерация, 127994, Москва, ул. Образцова, д. 9,  
тел. (+7) 9117092164, (+7) (915) 4809191, e-mail: TrES-4b@yandex.ru),

**В.В. Сапожников**, д-р техн. наук, **Вл.В. Сапожников**, д-р техн. наук

Петербургский государственный университет путей

сообщения Императора Александра I

(Российская Федерация, 190031, Санкт-Петербург, Московский пр., 9,  
тел. (+7) (812) 4578579, e-mail: portal.at.pgups@gamail.com)

### **Коды с суммированием единичных и одного взвешенного разрядов с произвольными модулями счета**

Представлен новый класс кодов, ориентированных на обнаружение ошибок в информационных векторах. Принципы построения новых кодов основаны на взвешивании всех разрядов информационных векторов, кроме одного, единичными весовыми коэффициентами и одного разряда — неединичным весовым коэффициентом с дальнейшим подсчетом наименьшего неотрицательного вычета суммарного веса единичных информационных разрядов по заранее установленному модулю. Описан данный класс кодов и приведена классификация семейств кодов в зависимости от длин контрольных векторов. Определена мощность множества модульных кодов с суммированием единичных и одного взвешенного разрядов для каждого значения длины информационного вектора. Рассмотрены некоторые особенности обнаружения ошибок в информационных векторах кодами рассматриваемого класса, что актуально при решении задач обнаружения неисправностей в аппаратных реализациях логических устройств систем автоматического управления.

*Ключевые слова:* избыточные коды, коды с обнаружением ошибок, коды с суммированием, контролепригодные автоматические устройства, информационный вектор, техническая диагностика, отказоустойчивость.

Для повышения отказоустойчивости систем автоматического управления (САУ) применяются разнообразные методы резервирования и технического диагностирования блоков и компонентов [1—5]. Многие принципы идентификации неисправностей и парирования отказов в аппаратных и программных средствах систем управления идентичны обнаружению и коррекции ошибок при передаче данных [6, 7].

© Ефанов Д.В., Сапожников В.В., Сапожников Вл.В., 2017

Большое число исследований в области надежности и технической диагностики посвящено особенностям и возможностям применения избыточных двоичных кодов для организации контролепригодных структур устройств автоматики [8—16].

Избыточное кодирование широко применяется в автоматике как при передаче управляющих команд на удаленные объекты, так и при организации диагностического обеспечения средств управления и уровней самодиагностирования отдельных блоков [2, 4, 6]. Можно привести ряд примеров из области железнодорожной автоматики: кодирование сигналов автоматической локомотивной сигнализации непрерывного типа классическим кодом Хэмминга при передаче данных на бортовое оборудование локомотивов [17], шифрование данных в каналах передачи данных между диагностическими контроллерами систем мониторинга и концентраторами информации с помощью циклических кодов CRC16 и CRC32 [18], фазово-разностное и сменно-качественное кодирование данных в системах диспетчерской централизации [19], использование контроля со счетом по модулю три в арифметико-логических устройствах компонентов микропроцессорных систем [20] и др.

Выбор способа кодирования данных определяется особенностями конкретного приложения. Например, при разработке аппаратного средства, в котором необходимо предусмотреть внесение избыточности в архитектуру для обнаружения неисправностей, а не их исправления (это приведет к маскировке ошибок и к их накоплению), целесообразно применять коды, ориентированные на обнаружение ошибок. Такие коды имеют уменьшенную избыточность по сравнению с корректирующими кодами и позволяют вносить меньшую структурную избыточность в разрабатываемое устройство. Это тесно связано с экономическими показателями стоимости разработки и эксплуатации САУ. В случае необходимости исправления ошибок при передаче данных между компонентами одной системы целесообразно применение корректирующих кодов. Они имеют большую избыточность, чем коды, ориентированные только на обнаружение ошибок, однако позволяют в каждом конкретном приложении добиваться более качественных характеристик надежности. При передаче информации между объектами автоматики помимо избыточного кодирования широко применяются и методы резервирования, передавая, например, по несколько раз один и тот же пакет данных [21].

Часто избыточное кодирование применяется при синтезе самопроверяемых схем встроенного контроля логических блоков и компонентов, а также при синтезе устройств автоматики с контролепригодными архитектурами еще на этапе абстрактного синтеза в виде конечного автомата

[22]. В этом случае, как правило, используются классические коды с суммированием и равновесные коды, обладающие малой избыточностью и свойством обнаружения любых однонаправленных (монотонных) искажений в кодовых словах [23, 24].

Рассмотрим семейство модифицированных кодов с суммированием, принципы построения которых основаны на взвешивании разрядов информационного вектора единичными весовыми коэффициентами и одним не единичным, дальнейшем суммировании весовых коэффициентов единичных информационных разрядов и определении наименьших неотрицательных вычетов суммарного веса по заранее установленному модулю. Рассматриваемый класс кодов с суммированием может быть эффективным в приложениях, где требуется при низкой структурной избыточности устройства автоматики обнаруживать определенные классы неисправностей.

**Модульные коды с суммированием единичных и одного взвешенного разрядов** являются модификациями классических кодов с суммированием, а именно кодов Бергера [23], которые обозначим далее как  $S(m, k)$ -коды, где  $m$  и  $k$  — длины информационных и контрольных векторов. Число  $k$  определяют исходя из веса информационного вектора (числа единичных разрядов) и дальнейшей записи получаемого числа в двоичном виде в разряды контрольного вектора. Для этого требуется  $k = \lceil \log_2(m+1) \rceil$  контрольных разрядов, где  $\lceil \dots \rceil$  обозначает целое сверху от вычисляемого значения. Основные методы модификации кодов Бергера связаны с определением наименьших неотрицательных вычетов веса информационного вектора по заранее установленному модулю  $M$ , подсчетом серий поправочных коэффициентов, предварительным взвешиванием разрядов информационного вектора, разбиением разрядов информационного вектора на подмножества [25—31]. Среди кодов с суммированием [32] коды Бергера можно классифицировать как коды с суммированием единичных информационных разрядов по модулю  $M = 2^k = 2^{\lceil \log_2(m+1) \rceil}$ .

Алгоритм построения нового класса модифицированных кодов Бергера следующий.

**А л г о р и т м 1.** Правила вычисления значений разрядов контрольных векторов модульно-взвешенного кода с суммированием единичных и одного взвешенного разрядов.

1. Выбираем значение модуля  $M$  из множества

$$M \in \{2; 3; \dots, 2^{\lceil \log_2(m+1) \rceil}\}. \quad (1)$$

2. Всем разрядам, кроме выбранного, присваиваем единичные весовые коэффициенты.

3. Выбранному разряду приписываем весовой коэффициент в виде натурального числа из множества

$$w \in \{2; 3; \dots, M-1\}. \quad (2)$$

4. Для каждого информационного вектора определяем суммарный вес единичных информационных разрядов

$$W = \sum_{i=1}^m f_i w_i, \quad (3)$$

где  $f_i$  — значение  $i$ -го разряда, а  $w_i$  — его вес.

5. Определяем наименьший неотрицательный вычет числа  $W$  по модулю  $M$ , т.е. число  $W \pmod{M}$ .

6. Полученное число  $W \pmod{M}$  представляем в двоичном виде и записываем в разряды контрольного вектора.

Обозначим данные коды  $WSM(m, k, w)$ . В обозначение внесены значения длин информационных и контрольных векторов, вес взвешенного разряда и значение модуля. Коды  $WSM(m, k, w)$  являются обобщением исследованных в [33, 34] кодов с суммированием единичных и одного взвешенного разрядов без установленного модуля ( $WSM(m, k, w)$ -кодов) и соответственно сохраняют некоторые их свойства и особенности.

При рассмотрении общих свойств кодов не имеет значения, какой именно разряд будет взвешен [33, 34]. В конкретных приложениях, когда множество информационных векторов кодов является неполным, такая особенность будет важна. В данном случае в обозначение кода целесообразно внести и номер позиции взвешиваемого разряда и обозначить модульно-взвешенные коды как  $WSM(m, k, w_i)$ .

Избыточность  $WSM(m, k, w)$ -кода определяется величиной  $k = \lceil \log_2 M \rceil$ . Рассмотрим пример получения значений разрядов контрольного вектора для  $WS6(9, 3, 4)$ -кода при взвешивании младшего разряда его информационного вектора  $\langle 010101111 \rangle$ :

$$W = \sum_{i=1}^m f_i w_i = 1 \cdot 4 + 1 \cdot 1 + 1 \cdot 1 + 1 \cdot 1 + 0 \cdot 1 + 1 \cdot 1 + 0 \cdot 1 + 1 \cdot 1 + 0 \cdot 1 = 9,$$

$$W \pmod{6} = 9 \pmod{6} = 3.$$

Число три в двоичном виде представляется как  $\langle 011 \rangle$  и записывается в разряды контрольного вектора  $WS6(9, 3, 4)$ -кода.

Для конкретного значения длины информационного вектора может быть построено большое число  $WSM(m, k, w)$ -кодов. Исходя из того, что  $M \in \{2; 3; \dots, 2^{\lceil \log_2(m+1) \rceil}\}$ , число вариантов значения модуля равно

$2^{\lceil \log_2(m+1) \rceil} - 1$ , число вариантов взвешивания в каждом конкретном случае равно  $M - 1$  (при  $w = 1$  это будет классический код Бергера). Тогда число  $WSM(m, k, w)$ -кодов для выбранного значения  $m$  определяется из выражения

$$N_{WSM(m, k, w)} = \sum_{i=1}^{2^{\lceil \log_2(m+1) \rceil} - 1} i = 1 + 2 + \dots + (2^{\lceil \log_2(m+1) \rceil} - 1) = \frac{(2^{\lceil \log_2(m+1) \rceil} - 1)(2^{\lceil \log_2(m+1) \rceil} - 1 + 1)}{2} = 2^{\lceil \log_2(m+1) \rceil - 1} (2^{\lceil \log_2(m+1) \rceil} - 1).$$

При  $m = 4$  получим

$$N_{WS(4, k, w)} = 2^{\lceil \log_2(4+1) \rceil - 1} (2^{\lceil \log_2(4+1) \rceil} - 1) = 4 \cdot 7 = 28.$$

Число  $WSM(m, k, w_i)$ -кодов будет в  $m$  раз больше, чем  $WSM(m, k, w)$ -кодов, так как каждый из разрядов может быть взвешен:

$$N_{WSM(m, k, w_i)} = m 2^{\lceil \log_2(m+1) \rceil - 1} (2^{\lceil \log_2(m+1) \rceil} - 1).$$

При  $m = 4$

$$N_{WS(4, k, w_i)} = 4 \cdot 2^{\lceil \log_2(4+1) \rceil - 1} (2^{\lceil \log_2(4+1) \rceil} - 1) = 4 \cdot 4 \cdot 7 = 112.$$

Как видим, число различных  $WSM(m, k, w)$ -кодов определяется количеством контрольных разрядов. Для кодов в пределах одного значения  $k$  общее число вариантов построений будет одинаковым. В табл. 1 приведены значения числа кодов  $WSM(m, k, w)$ , рассчитанные для различных значений  $k$  при различных диапазонах значений  $m$ .

На рис. 1 представлены варианты значений  $M$  и  $w$  для получения кодов с конкретными длинами контрольных векторов, а на рис. 2 — типы кодов с суммированием, определяемые значениями  $M$  и  $w$ . При построении таких  $WSM(m, k, w)$ -кодов всегда формируются все возможные значения контрольных векторов, что обеспечивает более простую реализацию как генераторов кодов, так и синтезируемых на их основе структур устройств автоматики. Особенности данных семейств  $WSM(m, k, w)$ -кодов описаны в работах [35, 36].

Таблица 1. Мощности множества  $WSM(m, k, w)$ -кодов

$k$	$m$	$N_{WSM(m, k, w)}$
3	4—7	28
4	8—15	120
5	16—31	496
6	32—63	2 016
7	64—127	8 128
8	128—255	32 640
9	256—511	130 816
10	512—023	523 776

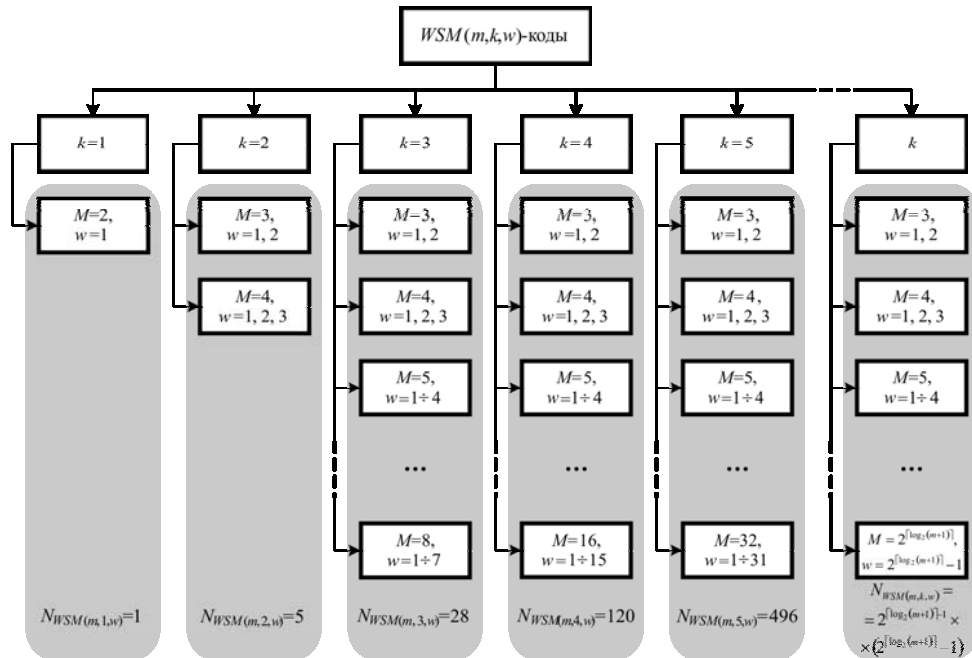


Рис. 1. Семейства  $WSM(m, k, w)$ -кодов

**Синтез генераторов модульных кодов с суммированием единичных и одного взвешенного разрядов.** Генераторы кодовых слов  $WSM(m, k, w)$ -кодов наиболее удобно реализовывать с помощью алгоритма 1. Обобщенная структурная схема генераторов кодовых слов  $WSM(m, k, w)$ -кодов, представленная на рис. 3, имеет два функциональных блока:  $B_1$  и  $B_2$ .

Блок  $B_1$  предназначен для формирования двоичного числа, соответствующего весу взвешенного разряда (например, разряда  $f_1$ ). На его выходах формируется двоичное многоразрядное число. При  $f_1 = 0$  все разряды этого числа равны нулю, при  $f_1 = 1$  сформировано двоичное число, равное десятичному числу  $w_1$ .

Блок  $B_2$  является блоком сложения по заранее установленному модулю  $M \in \{2; 3; \dots, 2^{\lceil \log_2(m+1) \rceil}\}$  имеющихся одноразрядных чисел из множества значений разрядов информационного вектора с весовыми коэффициентами, равными единице, и многоразрядного числа, сформированного на выходах блока  $B_1$ . На выходах блока  $B_2$  вычисляются значения разрядов контрольных векторов кодовых слов  $WSM(m, k, w)$ -кодов.

Блок  $B_2$  может быть синтезирован несколькими способами. Первый способ основан на подсчете сначала суммы  $W$  по формуле (3), а затем

$M \backslash w$	1	2	3	4	5	6	7	8	...	$M-1$
2	SM									
3	SM	WSM								
4	SM	WSM	WSM							
5	SM	WSM	WSM	WSM						
6	SM	WSM	WSM	WSM	WSM					
7	SM	WSM	WSM	WSM	WSM	WSM				
8	SM	WSM	WSM	WSM	WSM	WSM	WSM			
...	...	...	...	...	...	...	...	...	...	...
$M$	SM	WSM	WSM	WSM	WSM	WSM	WSM	WSM	...	WSM

Рис. 2. Матрица различных способов формирования  $WSM(m, k, w)$ -кодов:  $SM$  — модульные коды с суммированием единичных разрядов (включая коды Бергера); буквами  $WSM$  — коды с суммированием единичных и одного взвешенного разрядов; серым фоном выделены строки, соответствующие «особым» случаям значений модуля  $M$

вычислении наименьшего неотрицательного вычета полученного числа по модулю  $M$ :

$$W(\text{mod } M) = \left( \sum_{i=1}^m f_i w_i \right) (\text{mod } M) = (w_1 f_1 + w_2 f_2 + \dots + w_m f_m) (\text{mod } M).$$

Этот способ связан с аппаратной реализацией сумматора в виде каскадного соединения счетчика единиц и блока преобразователя формируемых двоичных чисел в двоичные числа, представленные в кольце вычетов по модулю  $M$  [37—41].

Второй способ синтеза блока  $B_2$  связан с разбиением множества весовых коэффициентов на подмножества таким образом, чтобы для каждого подмножества определялось значение наименьшего неотрицательного вычета по модулю  $M$ , а затем суммировались только полученные вычеты:

$$W(\text{mod } M) = \left( \sum_{i=1}^m f_i w_i \right) (\text{mod } M) + \dots + \left( \sum_{i=1}^{m_q} f_i w_i \right) (\text{mod } M), m_1 + \dots + m_q = m.$$

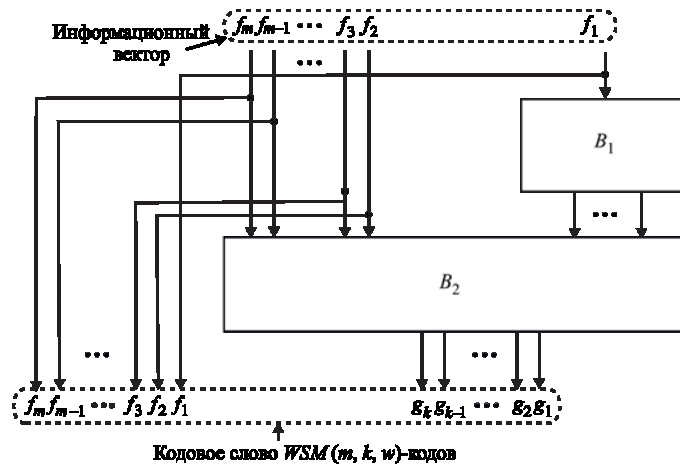


Рис. 3. Структурная схема генераторов  $WSM(m, k, w)$ -кодов:  $B_1$  — блок формирования двоичного числа, соответствующего весу разряда;  $B_2$  — блок суммирования одноразрядных и многоразрядных двоичных чисел по модулю  $M$

В этом случае блок  $B_2$  реализуется в виде каскадной структуры с использованием стандартных схем сумматоров двоичных чисел по заранее установленному модулю  $M$  [42—45].

**Свойства модульных кодов с суммированием единичных и одного взвешенного разрядов.** Разделимые блочные коды, ориентированные на обнаружение ошибок в информационных векторах, при использовании их для решения задач синтеза систем с обнаружением неисправностей имеют абсолютные и относительные показатели обнаружения ошибок в информационных векторах по видам и кратностям [46]. Под кратностью  $d$  ошибки подразумевается число одновременно искажающихся разрядов информационного вектора (кратность варьируется в диапазоне от единицы до  $m$ ). Вид ошибки представляется конкретным соотношением между числом искажений  $0 \rightarrow 1$  и  $1 \rightarrow 0$  при возникновении ошибки кратностью  $d$ . Так, если ошибка связана с искажением одного разряда, она является одиночной. Если искажается одновременно несколько разрядов, то могут быть выделены совокупности искажаемых разрядов. Если искажаются только нулевые или только единичные разряды, то такая ошибка называется монотонной, в противном случае — немонотонной.

Немонотонные ошибки, в свою очередь, могут быть разделены на симметричные и асимметричные. При симметричной ошибке число искажений нулевых и единичных разрядов совпадает (такая ошибка имеет четную кратность). При асимметричной ошибке кратностью  $d$  число искажений нулевых и единичных разрядов не одинаково. Такая классификация



ошибок в информационных векторах связана с особенностями использования свойств обнаружения различных сочетаний искажений нулевых и единичных разрядов на выходах объектов диагностирования делимыми кодами. Примеры использования особенностей делимых кодов приведены во множестве работ по синтезу систем с обнаружением отказов [1, 10].

Абсолютными показателями обнаружения ошибок делимыми кодами являются следующие:

общее число обнаруживаемых ошибок ( $N_m$ );

число обнаруживаемых ошибок кратностью  $d$  ( $N_{m,d}$ );

общее число обнаруживаемых монотонных, симметричных и асимметричных ошибок ( $N_{m,v}, N_{m,\sigma}, N_{m,\alpha}$ );

число обнаруживаемых монотонных, симметричных и асимметричных ошибок определенной кратностью ( $N_{m,v,d}, N_{m,\sigma,d}, N_{m,\alpha,d}$ ).

Относительные показатели обнаружения ошибок свидетельствуют о некоторой доле обнаруживаемых ошибок от всего их количества ( $N_{o/m}$ ) (или всего количества ошибок конкретного вида ( $N_{o/m,v}, N_{o/m,\sigma}$  или  $N_{o/m,\alpha}$ ) или конкретной кратностью ( $N_{o/m,d}$ ), или числа ошибок данного вида и кратностью ( $N_{o/m,v,d}, N_{o/m,\sigma,d}, N_{o/m,\alpha,d}$ )). Наиболее часто применяют такие показатели:  $\gamma_m = N_m / N_{o/m}$ ,  $\beta_{m,d} = N_{m,d} / N_{o/m,d}$ ,  $\nu_m = N_{m,v} / N_{o/m,v}$ ,  $\sigma_m = N_{m,\sigma} / N_{o/m,\sigma}$ ,  $\alpha_m = N_{m,\alpha} / N_{o/m,\alpha}$ ,  $\nu_{m,d} = N_{m,v,d} / N_{o/m,v,d}$ ,  $\sigma_{m,d} = N_{m,\sigma,d} / N_{o/m,\sigma,d}$ ,  $\alpha_{m,d} = N_{m,\alpha,d} / N_{o/m,\alpha,d}$ . Их удобно выражать в процентах (т.е. умноженными на 100).

Представленная система показателей достаточно полно характеризует делимые коды и позволяет выявлять ряд особенностей обнаружения или ошибок в информационных векторах.

Рассматривая свойства  $WSM(m, k, w)$ -кодов, следует заметить, что на характеристики обнаружения ими ошибок влияет три исходных показателя: длина информационного вектора  $m$ , значение весового коэффициента взвешенного разряда  $w$  и значение модуля определения наименьшего неотрицательного вычета суммарного веса  $M$ . Кроме того, при рассмотрении общих свойств кодов, когда анализируются все информационные векторы, не имеет значения, какой именно разряд взвешен.

Число ошибок по видам и кратностям определяется разбиением всех информационных векторов делимого кода на контрольные группы, соответствующие контрольным векторам, с последующим анализом взаимных переходов между всеми информационными векторами в каждой контрольной группе. Такой алгоритм в какой-то степени напоминает метод Квайна—Мак-Класки для минимизации функций алгебры логики, но применительно к задаче подсчета числа искажений векторов друг в друга. Он имеет большую вычислительную сложность, а именно время работы алго-

ритма возрастает экспоненциально с увеличением длины информационного вектора. Это приводит к тому, что непосредственный подсчет числа необнаруживаемых ошибок с помощью автоматического анализа возможен только при малых длинах информационных векторов ( $m < 30-35$ ).

Автоматизация процедуры анализа характеристик обнаруживаемых  $WSM(m, k, w)$ -кодами ошибок позволила выполнить вычисления при  $m \leq 20$ , а также установить ряд особенностей обнаружения ошибок в информационных векторах рассматриваемым классом кодов. В табл. 2 и 3 представлены рассчитанные абсолютные и относительные характеристики для семейства  $WSM(6, k, w)$ -кодов.

Приведенные в табл. 2 и 3 данные характеризуют ряд закономерностей. С увеличением значения  $m$  характеристики кодов изменяются, значения долей обнаруживаемых ошибок по видам и кратностям увеличиваются. Однако следующие общие закономерности сохраняются.

1. При четном значении  $M$  рассматриваемые коды обнаруживают любые ошибки с нечетными кратностями при нечетных значениях  $w$ .

2. Число обнаруживаемых двукратных ошибок при  $w \neq 1$  и  $w \neq M-1$  одинаково для любых значений  $M$  и  $w$  при определенной длине информационного вектора.

3.  $WSM(m, k, w)$ -коды, для которых  $M \geq m$ , обнаруживают любые монотонные ошибки в информационных векторах за исключением ошибок кратностью  $d = M - w + 1$ .

4. Все  $WSM(m, k, w)$ -коды обнаруживают большее количество симметричных ошибок, чем классические коды Бергера.

5. При четных значениях  $m$  коды  $WSM(m, k, w)$  при  $w \neq 1$  обнаруживают все симметричные ошибки максимальной кратностью  $d = m$ .

6. Доля обнаруживаемых симметричных ошибок кратностью  $d$  от общего числа симметричных ошибок для кода с конкретной длиной информационного вектора не зависит от значения модуля и веса взвешенного разряда при  $w \neq 1$  и является постоянной величиной.

7. Доля общего числа обнаруживаемых симметричных ошибок от общего их количества не зависит от значений  $M$  и  $w \neq 2$  и является постоянной величиной для данного значения  $m$ .

На рис. 4 показана зависимость величины  $\sigma_m$  от длины информационного вектора для всех семейств  $WSM(m, k, w)$ -кодов. При увеличении значения  $m$  от двух до девяти величина  $\sigma_m$  резко возрастает, проходя отметку  $\sigma_m = 50$  при  $m = 6$ . В диапазоне  $m = 6 \div 9$  значение  $\sigma_m$  увеличивается, достигая максимума при  $m = 9$  ( $\sigma_m = 52,44\%$ ). При дальнейшем увеличении длины информационного вектора значение  $\sigma_m$  постепенно уменьшается, асимптотически приближаясь к значению 50%. Из табл. 3 и подобных

**Таблица 2. Абсолютные и относительные характеристики обнаруживаемых ИСМ(б, л, и)-кодами ошибок по общему количеству ошибок и ошибок с различными кратностями**

Параметр кода		Характеристики обнаруживаемых ИСМ(б, л, и)-кодами ошибок																		
		Абсолютные						Относительные												
		Распределение по видам			Распределение по кратностям, $N_{m,d}$			Доля по видам, %			Доля по кратностям $\beta_{m,d}, \%$									
$m$	$M$	$w$	$N_m$	$N_{m,0}$	$N_{m,1}$	$N_{m,2}$	2	3	4	5	6	$\gamma_m, \%$	$\sigma_m$	$\alpha_m$	2	3	4	5	6	
6	2	1	1984	602	860	522	960	0	960	0	64	49,206	63,636	28,339	100	0	100	0	100	0
6	3	1	1302	322	860	120	480	320	360	120	22	32,292	34,038	6,515	100	25	37,5	31,25	34,375	34,375
6	3	2	1302	340	440	522	480	320	360	120	22	32,292	35,941	28,339	50	25	37,5	31,25	34,375	34,375
6	4	1	992	120	860	12	480	0	480	0	32	24,603	12,685	0,651	100	0	50	0	50	0
6	4	2	960	200	440	320	320	320	160	160	0	23,81	21,142	17,372	51,163	25	16,667	41,667	0	0
6	4	3	992	202	440	350	480	0	480	0	32	24,603	21,353	19,001	50	0	50	0	50	0
6	5	1	884	24	860	0	480	0	360	24	20	21,925	2,537	0	100	0	37,5	6,25	31,25	31,25
6	5	2	774	84	440	250	320	160	200	84	10	19,196	8,879	13,572	51,163	12,5	20,833	21,875	15,625	15,625
6	5	3	774	164	440	170	320	160	200	84	10	19,196	17,336	9,229	51,163	12,5	20,833	21,875	15,625	15,625
6	5	4	884	164	440	280	480	0	360	24	20	21,925	17,336	15,201	50	0	37,5	6,25	31,25	31,25
6	6	1	862	2	860	0	480	0	360	0	22	21,379	0,211	0	100	0	37,5	0	34,375	34,375
6	6	2	700	20	440	240	320	160	120	100	0	17,361	2,114	13,029	51,163	12,5	12,5	26,042	0	0
6	6	3	620	80	440	100	320	0	280	0	20	15,377	8,457	5,429	51,163	0	29,167	0	31,25	31,25
6	6	4	700	160	440	100	320	160	120	100	0	17,361	16,913	5,429	51,163	12,5	12,5	26,042	0	0
6	6	5	862	160	440	262	480	0	360	0	22	21,379	16,913	14,224	51,163	0	37,5	0	34,375	34,375
6	7	1	860	0	860	0	480	0	360	0	20	21,329	0	0	100	0	37,5	0	31,25	31,25
6	7	2	682	2	440	240	320	160	120	80	2	16,915	0,211	13,029	51,163	12,5	12,5	20,833	3,125	3,125
6	7	3	550	20	440	90	320	0	200	20	10	13,641	2,114	4,886	51,163	0	20,833	5,208	15,625	15,625
6	7	4	550	80	440	30	320	0	200	20	10	13,641	8,457	1,629	51,163	0	20,833	5,208	15,625	15,625
6	7	5	682	160	440	82	320	160	120	80	2	16,915	16,913	4,452	51,163	12,5	12,5	20,833	3,125	3,125
6	7	6	860	160	440	260	480	0	360	0	20	21,329	16,913	14,115	51,163	0	37,5	0	31,25	31,25
6	8	1	860	0	860	0	480	0	360	0	20	21,329	0	0	100	0	37,5	0	31,25	31,25
6	8	2	680	0	440	240	320	160	120	80	0	16,865	0	13,029	51,163	12,5	12,5	20,833	0	0
6	8	3	532	2	440	90	320	0	200	0	12	13,194	0,211	4,886	51,163	0	20,833	0	18,75	18,75
6	8	4	480	20	440	20	320	0	120	40	0	11,905	2,114	1,086	51,163	0	12,5	10,417	0	0
6	8	5	532	80	440	12	320	0	200	0	12	13,194	8,457	0,651	51,163	0	20,833	0	18,75	18,75
6	8	6	680	160	440	80	320	160	120	80	0	16,865	16,913	4,343	51,163	12,5	12,5	20,833	0	0
6	8	7	860	160	440	260	480	0	360	0	20	21,329	16,913	14,115	51,163	0	37,5	0	31,25	31,25



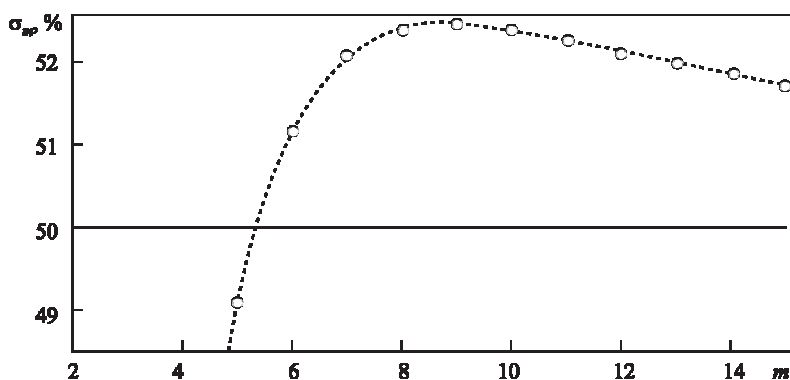


Рис. 4. Зависимость величины  $\sigma_m$  от длины информационного вектора

таблиц для других  $WSM(m, k, w)$ -кодов следует, что такое уменьшение общего числа симметричных необнаруживаемых ошибок по сравнению с классическими кодами Бергера обусловлено увеличением числа обнаруживаемых ошибок по каждой кратности. Наименьший эффект наблюдается при обнаружении симметричных двукратных ошибок, затем четырехкратных и так далее, т.е. эффект значительного обнаружения симметричных ошибок достигается вследствие улучшения характеристик обнаружения ошибок больших кратностей.

**Модульно-взвешенные коды с суммированием в эксперименте с тестовыми комбинационными схемами.** Рассмотрим пример применения  $WSM(m, k, w)$ -кодов при решении задач синтеза контролепригодных систем автоматики. Коды  $WSM(m, k, w)$  могут эффективно применяться при организации контроля комбинационных составляющих устройств автоматики, а именно при организации систем их рабочего диагностирования [1, 10]. Как указано в работе [47], при увеличении степени интеграции и возрастании тактовых частот число одиночных ошибок в комбинационных составляющих существенно увеличивается и оказывает негативное влияние на работу всего устройства. В системах рабочего диагностирования устройство комбинационной логики снабжается специализированной схемой контроля, позволяющей в процессе штатной эксплуатации фиксировать возникновение неисправностей по результатам неверных вычислений значений рабочих функций. Использование блочных кодов [25, 26, 48] позволяет уменьшать структурную избыточность системы диагностирования по сравнению с использованием для этих целей метода дублирования.

Для анализа возможностей использования  $WSM(m, k, w)$ -кодов при организации контроля комбинационных составляющих устройств автоматики были проведены эксперименты с тестовыми комбинационными схемами

из набора MCNC Benchmarks [49]. Из множества тестовых схем выбраны схемы с небольшим числом выходов ( $m \leq 10$ ) и для каждой из них проведены эксперименты по следующему алгоритму.

**А л г о р и т м 2.** Последовательность проведения эксперимента.

1. Выходы каждой тестовой комбинационной схемы объединяем в информационный вектор, младший разряд которого (в соответствии с описанием схемы в формате \*.pla) взвешивается.

2. По формулам (1) и (2) определяем предельные значения модуля и весового коэффициента.

3. Формируем последовательность  $WSM(m, k, w)$ -кодов от кода с минимальными значениями модуля и веса взвешенного разряда до кода с максимальными значениями модуля и веса взвешенного разряда.

4. Последовательно выбираем  $WSM(m, k, w)$ -коды из сформированной последовательности и согласно методике синтеза систем рабочего диагностирования, например описанной в [50], выполняем процедуру синтеза.

5. С использованием средств SIS проводим оптимизацию структур схем контроля и вычисляем условный показатель площади, занимаемой системой диагностирования на кристалле [51].

6. Вычисляем показатели структурной избыточности систем диагностирования:

$$\Delta = \frac{L_{CED}}{L_{DUPLICATION}} 100\%, \quad B = \frac{L_{CED}}{L_{BERGER-CODE}} 100\%,$$

где  $L_{CED}$  — площадь системы диагностирования на основе  $WSM(m, k, w)$ -кода;  $L_{DUPLICATION}$  — площадь системы дублирования;  $L_{BERGER-CODE}$  — площадь системы диагностирования на основе классического кода Бергера.

С использованием алгоритма 2 были проанализированы показатели структурной избыточности систем диагностирования для выборки, состоящей из более десяти тестовых комбинационных схем. На рис. 5 в графической форме представлены значения показателей  $\Delta$  и  $B$  для трех схем: «goof», «max512» и «max1024». Полученные результаты свидетельствуют о том, что использование  $WSM(m, k, w)$ -кодов при организации систем рабочего диагностирования позволяет уменьшить структурную избыточность на 70—80%, а использование классического кода Бергера — на 95—110%.

Результаты, полученные для других схем, несколько отличаются, но общей тенденцией является то, что структуры систем диагностирования на основе  $WSM(m, k, w)$ -кодов более простые, чем при дублировании, но более сложные, чем при использовании классического кода Бергера. Однако  $WSM(m, k, w)$ -коды позволяют обнаруживать большее число ошибок на выходах объектов диагностирования, чем коды Бергера.

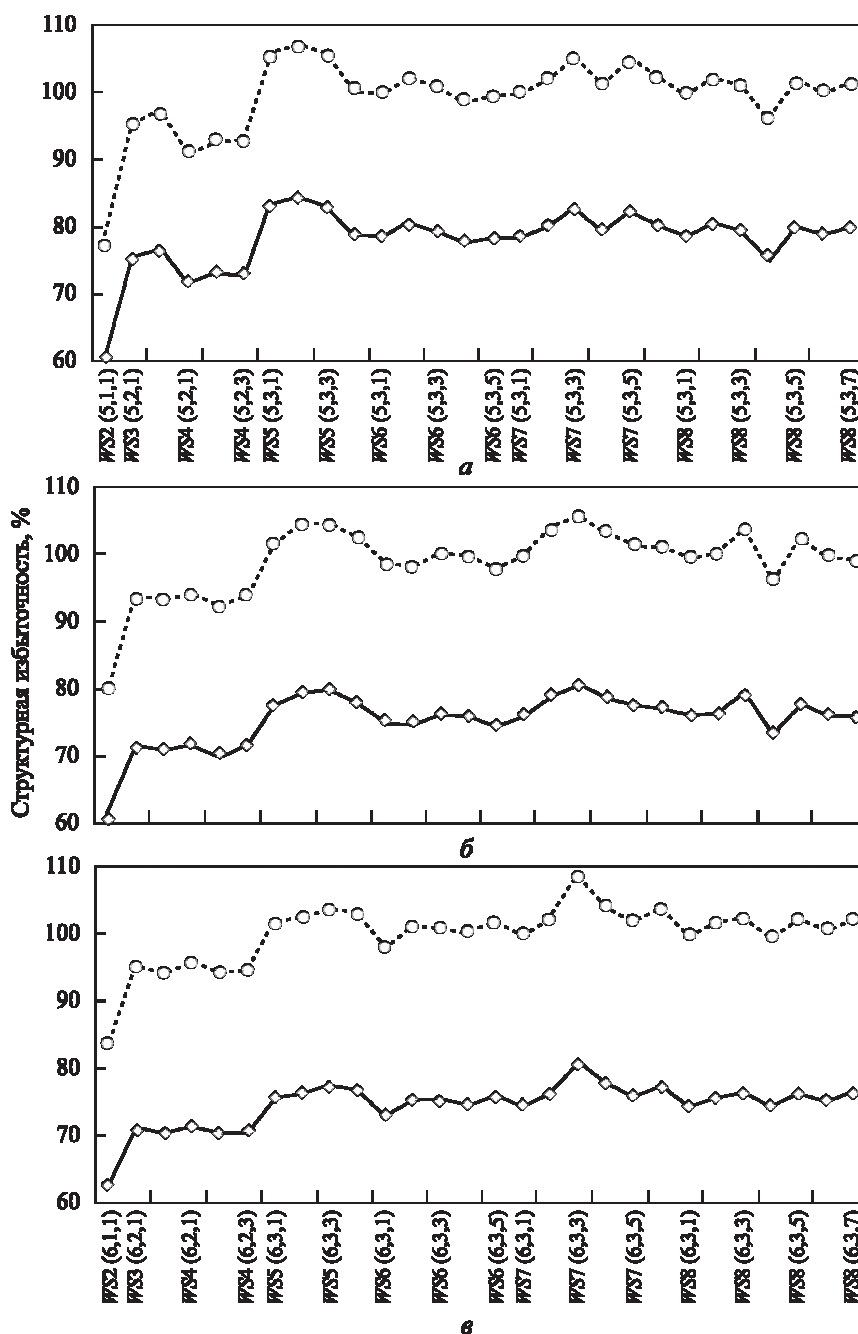


Рис. 5. Показатели структурной избыточности систем диагностирования на основе WSM (5,k,w)-кодов для схемы «root» (а) и на основе WSM (6,k,w)-кодов для схемы «тах512» (б) и схемы «тах1024» (в):  $\diamond$  — А;  $\circ$  — В

Были также проведены эксперименты по оценке влияния взвешивания на уменьшение доли необнаруживаемых ошибок на выходах тестовых комбинационных схем. Для экспериментов выбраны схемы из набора LGSynth`89, заданные в виде структурного описания в формате \*.netblif [49]. Результаты этих экспериментов показали, что число обнаруживаемых ошибок при использовании  $WSM(m, k, w)$ -кодов существенно увеличивается по сравнению с использованием классических кодов с суммированием. Для некоторых схем с малым числом выходов при использовании некоторых  $WSM(m, k, w)$ -кодов удавалось сократить число необнаруживаемых ошибок до нуля.

В то же время, можно сформулировать общую закономерность применения  $WSM(m, k, w)$ -кодов при организации контроля комбинационных схем: не удастся обеспечить 100%-ное обнаружение ошибок на выходах схем только применением кода. Требуется использование специальных схемотехнических приемов, например таких, как выделение групп отдельно контролируемых выходов или поиск симметрично независимых выходов, анализ топологии структуры и др. Такие подходы описаны в работах [52—54] и могут быть адаптированы для использования  $WSM(m, k, w)$ -кодов. Однако эффективность применения описанных кодов индивидуальна для каждой комбинационной составляющей и определяется спецификой ее структуры.

## Выводы

Описанные  $WSM(m, k, w)$ -коды представляют собой перспективный класс кодов с суммированием в кольце вычетов по модулю  $M$ . Это позволяет для конкретного кода зафиксировать число контрольных разрядов и сделать его независимым от числа информационных разрядов. Недостатком  $WSM(m, k, w)$ -кодов является наличие некоторого количества необнаруживаемых монотонных ошибок в информационных векторах, что определяется двумя параметрами – значением модуля  $M$  и весом взвешенного разряда  $w$ .

Полученные результаты следует учитывать при исследовании других способов модификации кодов с суммированием. Например, представленный способ улучшения характеристик обнаружения ошибок в информационных векторах взвешиванием одного разряда и с помощью последующих операций суммирования в кольце вычетов по модулю  $M$  дает возможность улучшить характеристики предложенных в [31] двухмодульных кодов с суммированием единичных информационных разрядов. Взвешивание разряда позволяет увеличить число обнаруживаемых ошибок двухмодульными кодами, которые обладают наилучшими характеристиками обнару-



жения ошибок в диапазоне значений  $m = 8 \div 15$  по сравнению с классическими кодами Бергера и известной их модификацией [29].

Представленные результаты исследований относятся только к характеристикам  $WSM(m, k, w)$ -кодов, но не к элементной базе, на которой реализуются устройства автоматики и управления. Таким образом, полученные результаты можно считать универсальными, что обуславливает актуальность их применения в широком поле различных технических приложений.

#### СПИСОК ИСПОЛЬЗОВАННОЙ ЛИТЕРАТУРЫ

1. *Согомонян Е.С., Слабаков Е.В.* Самопроверяемые устройства и отказоустойчивые системы. М.: Радио и связь, 1989, 208 с.
2. *Сапожников В.В., Сапожников Вл.В., Христов Х.А., Гавзов Д.В.* Методы построения безопасных микроэлектронных систем железнодорожной автоматики. – Под ред. Вл. В. Сапожникова. М.: Транспорт, 1995, 272 с.
3. *Ubar R., Raik J., Vierhaus H.-T.* Design and Test Technology for Dependable Systems-on-Chip (Premier Reference Source). Information Science Reference. Hershey — New York, IGI Global, 2011, 578 p.
4. *Дрозд А.В., Харченко В.С., Антощук С.Г. и др.* Рабочее диагностирование безопасных информационно-управляющих систем. Под ред. А.В. Дрозда и В.С. Харченко. Харьков: Национальный аэрокосмический университет им. Н.Е. Жуковского «ХАИ», 2012, 614 с.
5. *Kharchenko V., Kondratenko Yu., Kasprzyk J.* Green IT Engineering: Concepts, Models, Complex Systems Architectures // Springer Book series “Studies in Systems, Decision and Control”, 2017, vol. 74, 305 p. DOI: 10.1007/978-3-319-44162-7.
6. *Fujiwara E.* Code Design for Dependable Systems: Theory and Practical Applications. John Wiley & Sons, 2006, 720 p.
7. *Ryan W.E., Lin S.* Channel Codes: Classical and Modern. Cambridge University Press, 2009, 708 p.
8. *Сапожников В.В., Сапожников Вл.В.* Самопроверяемые тестеры для равновесных кодов // Автоматика и телемеханика, 1992, № 3, с. 3—35.
9. *Piestrak S.J.* Design of Self-Testing Checkers for Unidirectional Error Detecting Codes. Wrocław: Oficyna Wydawnicza Politechniki Wrocławskiej, 1995, 111 p.
10. *Nicolaidis M., Zorian Y.* On-Line Testing for VLSI – A Compendium of Approaches // Journal of Electronic Testing: Theory and Applications, 1998, № 12, p. 7—20. DOI: 10.1023/A:1008244815697.
11. *Das D., Toubá N.A.* Synthesis of Circuits with Low-Cost Concurrent Error Detection Based on Bose-Lin Codes // Journal of Electronic Testing: Theory and Applications, 1999, vol. 15, issue 1-2, p. 145—155. DOI: 10.1023/A:1008344603814.
12. *Matrosova A.Yu., Levin I., Ostanin S.A.* Self-Checking Synchronous FSM Network Design with Low Overhead // VLSI Design, 2000, vol. 11, issue 1, p. 47—58. DOI: 10.1155/2000/46578.
13. *Kubalik P., Kubátová H.* Parity Codes Used for On-Line Testing in FPGA // Acta Polytechnica, 2005, vol. 45, No. 6, p. 53—59.
14. *Ghosh S., Basu S., Toubá N.A.* Synthesis of Low Power CED Circuits Based on Parity Codes // Proc. of 23rd IEEE VLSI Test Symposium (VTS'05), 2005, p. 315—320.

15. *Shah T., Singh V., Matrosova A.* Test Pattern Generation to Detect Multiple Faults in ROBDD Based Combinational Circuits // Proc. of 23rd IEEE On-Line Testing and Robust System Design (IOLTS'2017). Thessaloniki, Greece, 3—5 July 2017, p. 211—212. DOI: 10.1109/IOLTS.2017.8046223.
16. *Matrosova A., Ostanin S., Tretyakov D., Butorina N.* Logic Circuit Design with Gates, LUTs and MUXs Oriented to Mask Faults // Proc. of 15th IEEE East-West Design & Test Symposium (EWDTS'2017). Novi Sad, Serbia, September 29 – October 2, 2017, p. 95—98. DOI: 10.1109/EWDTS.2017.8110096.
17. *Сапожников В.В., Сапожников Вл.В., Ефанов Д.В.* Коды Хэмминга в системах функционального контроля логических устройств. СПб.: Наука, 2018, 151 с.
18. *Ефанов Д.В.* Функциональный контроль и мониторинг устройств железнодорожной автоматики и телемеханики. СПб.: ФГБОУ ВО ПГУПС, 2016, 171 с.
19. *Гавзов Д.В., Дрейман О.К., Кононов В.А., Никитин А.Б.* Системы диспетчерской централизации. – Под общей ред. проф. Вл.В. Сапожникова, М.: Маршрут, 2002, 407 с.
20. *Сапожников В.В., Сапожников Вл.В., Ефанов Д.В.* Основы теории надежности и технической диагностики. — Санкт-Петербург: Издательство «Лань», 2019, 588 с.
21. *Ефанов Д.В., Блюдов А.А.* Повышение надежности датчиков контроля положения железнодорожных стрелок // Изв. Петербургского университета путей сообщения, 2014, №3, с. 69—77.
22. *Ostanin S.* Self-Checking Synchronous FSM Network Design for Path Delay Faults // Proc. of 15th IEEE East-West Design & Test Symposium (EWDTS'2017). Novi Sad, Serbia, September 29 — October 2, 2017, p. 696—699. DOI: 10.1109/EWDTS.2017.8110129.
23. *Berger J.M.* A Note on Error Detection Codes for Asymmetric Channels // Information and Control, 1961, vol. 4, issue 1, p. 68—73. DOI: 10.1016/S0019-9958(61)80037-5.
24. *Freiman C.V.* Optimal Error Detection Codes for Completely Asymmetric Binary Channels // Ibid, 1962, vol. 5, issue 1, p. 64—71. DOI: 10.1016/S0019-9958(62)90223-1.
25. *Das D., Toubia N.A.* Weight-Based Codes and Their Application to Concurrent Error Detection of Multilevel Circuits // Proc. of 17th IEEE Test Symposium. California, USA, 1999, p. 370—376. DOI: 10.1109/VTEST.1999.766691.
26. *Das D., Toubia N.A., Seuring M., Gossel M.* Low Cost Concurrent Error Detection Based on Modulo Weight-Based Codes // Proc. of the IEEE 6th International On-Line Testing Workshop (IOLTW). Spain, Palma de Mallorca, July 3—5, 2000, p. 171—176. DOI: 10.1109/OLT.2000.856633.
27. *Мехов В.Б., Сапожников В.В., Сапожников Вл.В.* Контроль комбинационных схем на основе модифицированных кодов с суммированием // Автоматика и телемеханика, 2008, №8, с. 153—165.
28. *Сапожников В.В., Сапожников Вл.В., Ефанов Д.В.* Взвешенные коды с суммированием для организации контроля логических устройств // Электрон. моделирование, 2014, **36**, № 1, с. 59—80.
29. *Блюдов А.А., Ефанов Д.В., Сапожников В.В., Сапожников Вл.В.* О кодах с суммированием единичных разрядов в системах функционального контроля // Автоматика и телемеханика, 2014, № 8, с. 131—145.
30. *Ефанов Д.В., Сапожников В.В., Сапожников Вл.В.* Применение модульных кодов с суммированием для построения систем функционального контроля комбинационных логических схем // Там же, 2015, № 10, с. 152—169.
31. *Efanov D.V., Sapozhnikov V.V., Sapozhnikov V.I.* Two-Modulus Codes with Summation of One-Data Bits for Technical Diagnostics of Discrete Systems // Automatic Control and Computer Sciences, 2018, vol. 52, issue 1, p. 1—12. DOI: 10.3103/S0146411618010029.

32. *Efanov D., Sapozhnikov V., Sapozhnikov VI.* Generalized Algorithm of Building Summation Codes for the Tasks of Technical Diagnostics of Discrete Systems // Proc. of 15th IEEE East-West Design & Test Symposium (EWDTS`2017). Novi Sad, Serbia, September 29 – October 2, 2017, p. 365—371. DOI: 10.1109/EWDTS.2017.8110126.
33. *Сапожников В.В., Сапожников Вл.В., Ефанов Д.В.* Построение кодов с суммированием с наименьшим количеством обнаруживаемых симметричных ошибок в информационных векторах // Радиоэлектроника и информатика, 2014, № 4, с. 46—55.
34. *Сапожников В.В., Сапожников Вл.В., Ефанов Д.В.* Контроль комбинационных схем на основе кодов с суммированием с одним взвешенным информационным разрядом // Автоматика на транспорте, 2016, 2, № 4, с. 564—597.
35. *Efanov D., Sapozhnikov V., Sapozhnikov VI.* On Variety of Sum Codes with On-Data Bits and One Weighted Data Bit in Concurrent Error Detection Systems // Proc. of 2nd International Conference on Industrial Engineering, Applications and Manufacturing (ICIEAM). Chelyabinsk, Russia, 19, 20 May, 2016. DOI: 10.1109/ICIEAM.2016.7911684.
36. *Efanov D., Sapozhnikov V., Sapozhnikov VI.* The Use of Codes with Fixed Multiplicities of Detected Unidirectional and Asymmetrical Errors in the Process of Organizing Combinational Circuit Testing // Proc. of 16th IEEE East-West Design & Test Symposium (EWDTS`2018). Kazan, Russia, September 14—17, 2018, p. 114—122. DOI:10.1109/EWDTS.2018.8524768.
37. *Сапожников В.В., Сапожников Вл.В., Ургансков Д.И.* Метод построения тестеров кодовых векторов // Электрон. моделирование, 2000, 22, № 6, с. 66—76.
38. *Сапожников В.В., Сапожников Вл.В., Ургансков Д.И.* Универсальные структуры двоичных счетчиков единиц по произвольному модулю счета // Там же, 2002, 24, № 4, с. 65—81.
39. *Сапожников В.В., Сапожников Вл.В., Ургансков Д.И.* Блочная структура двоичного счетчика единиц по произвольному модулю счета // Там же, 2005, 27, № 4, с. 65—81.
40. *Saposhnikov V.V., Saposhnikov VI.V., Urganskov D.I.* Composite Structure of Binary Counter of Ones Arbitrary Modulo // Proc. of East-West Design & Test Workshop (EWDWTW`05), 15—19 September 2005, Odessa, Ukraine, p. 102—106.
41. *Saposhnikov V.V., Saposhnikov VI.V., Urganskov D.I.* Multistage Regular Structure of Binary Counter of Ones Arbitrary Modulo // Proc. of East-West Design & Test Workshop (EWDWTW`06). 15—19 September 2006. Sochi, Russia, p. 287—290.
42. *Bibilo P.N., Gorodetskii D.A.* Automated Design of Modular Arithmetic Devices: Might CAD Replace an Engineer // Automatic Control and Computer Sciences, 2009, vol. 43, issue 2, p. 63—73. DOI: 10.3103/S0146411609020023.
43. *Suprun V.P., Gorodetskii D.A.* Synthesis of N-Operand Modulo-Three Adders // Ibid, 2010, vol. 44, issue 3, p. 171—177. DOI: 10.3103/S0146411610030089.
44. *Suprun V.P., Gorodecky D.A.* Realization of Addition and Multiplication Operations in Unitary Codes // Ibid, 2010, vol. 44, issue 5, p. 292-301. DOI: 10.3103/S014641161005007X.
45. *Suprun V.P.* Single-Level Schematic Realization of Basic Operations of Modular Arithmetic in Unitary Codes // Ibid, 2011, vol. 45, issue 2, p. 70—79. DOI: 10.3103/S0146411611020088.
46. *Сапожников В.В., Сапожников Вл.В., Ефанов Д.В.* Классификация ошибок в информационных векторах систематических кодов // Изв. вузов. Приборостроение, 2015, 58, № 5, с. 333—343. DOI: 10.17586/0021-3454-2015-58-5-333-343.
47. *Стемпковский А.Л., Тельпухов Д.В., Соловьев Р.А. и др.* Разработка технологически независимых метрик для оценки маскирующих свойств логических схем // Вычислительные технологии, 2016, 21, № 2, с. 53—62.
48. *Göessel M., Ocheretny V., Sogomonyan E., Marienfeld D.* New Methods of Concurrent Checking: Edition 1. Dordrecht: Springer Science+Business Media B.V., 2008, 184 p.
49. Collection of Digital Design Benchmarks [<http://ddd.fit.cvut.cz/prj/Benchmarks/>].

50. Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Выбор модифицированного кода с суммированием единичных информационных разрядов для логических устройств с известной топологией // Автоматика на транспорте, 2017, 3, № 4, с. 578—604.
51. Sentovich E.M., Singh K.J., Moon C. et al. Sequential Circuit Design Using Synthesis and Optimization // Proc. IEEE International Conference on Computer Design: VLSI in Computers & Processors. 11—14 October 1992, Cambridge, MA, USA, USA, p. 328—333. DOI: 10.1109/ICCD.1992.276282.
52. Дмитриев В.В., Ефанов Д.В., Сапожников В.В., Сапожников Вл.В. Коды с суммированием с эффективным обнаружением двукратных ошибок для организации систем функционального контроля логических устройств // Автоматика и телемеханика, 2018, № 4, с. 105—122.
53. Ефанов Д.В. Синтез самопроверяемых комбинационных устройств на основе кодов с эффективным обнаружением симметричных ошибок // Труды СПИИРАН, 2018, № 4, с. 62—91. DOI: 10.15622/SP.59.3.
54. Ефанов Д.В., Сапожников В.В., Сапожников Вл.В. Синтез самопроверяемых комбинационных устройств на основе выделения специальных групп выходов // Автоматика и телемеханика, 2018, № 9, с. 79—94.

Поступила 01.02.19

#### REFERENCES

1. Sogomonyan, E.S., and Slabakov, E.V. (1989), *Samoproverjaemyje ustrojstva i otkazoustojchivyje sistemy* [Self-checking devices and failover systems], Radio & Svjaz, Moscow, USSR.
2. Sapozhnikov V.V., Sapozhnikov Vl.V., Hristov H.A., and Gavzov D.V. (1995), *Metody postroeniya bezopasnyh mikroelektronnyh sistem zheleznodorozhnoj avtomatiki* [Methods for constructing safety microelectronic systems for railway automation], Transport, Moscow, Russia.
3. Ubar R., Raik J., Vierhaus H.-T. (2011), *Design and Test Technology for Dependable Systems-on-Chip*, IGI Global, New York, USA.
4. Drozd, A.V., Kharchenko, V.S. and Antoshchuk, S.G. (2012), *Rabochee diagnostirovanie bezopasnykh informatsionno-upravljayuschikh sistem* [Objects and Methods of On-Line Testing for Safe Instrumentation and Control Systems], Natsional'nyy aerokosmicheskij universitet im. N.Ye. Zhukovskogo «KHAI», Kharkov, Ukraine.
5. Kharchenko, V., Kondratenko, Yu., J. and Kacprzyk, J. (2017), “Green IT Engineering: Concepts, Models, Complex Systems Architectures”, *Springer Book series “Studies in Systems, Decision and Control”*, Vol. 74, DOI 10.1007/978-3-319-44162-7 (accessed July 17, 2019).
6. Fujiwara, E. (2006), *Code Design for Dependable Systems: Theory and Practical Applications*, John Wiley & Sons, New Jersey, USA.
7. Ryan, W.E. and Lin, S. (2009), *Channel Codes: Classical and Modern*, Cambridge University Press, UK.
8. Sapozhnikov, V.V. and Sapozhnikov, Vl.V. (1992) “Self-Checking Constant-Weight Codes Checkers”, *Avtomatika i telemekhanika*, no. 3, pp. 3-35.
9. Piestrak, S.J. (1995), *Design of Self-Testing Checkers for Unidirectional Error Detecting Codes*, Oficyna Wydawnicza Politechniki Wroclawskiej, Wroclaw, Poland.
10. Nicolaidis, M. and Zorian, Y. (1998) “On-Line Testing for VLSI – A Compendium of Approaches”, *Journal of Electronic Testing: Theory and Applications*, no. 12, pp. 7-20, DOI: 10.1023/A:1008244815697 (accessed July 17, 2019).

11. Das, D. and Touba, N.A. "Synthesis of Circuits with Low-Cost Concurrent Error Detection Based on Bose-Lin Codes", *Journal of Electronic Testing: Theory and Applications*, Vol. 15, Iss. 1-2, pp. 145-155, DOI: 10.1023/A:1008344603814 (accessed July 17, 2019).
12. Matrosova, A.Yu., Levin, I. and Ostanin, S.A. (2000), "Self-Checking Synchronous FSM Network Design with Low Overhead", *VLSI Design*, Vol. 11, Iss. 1, pp. 47-58, DOI: 10.1155/2000/46578 (accessed July 17, 2019).
13. Kubalik, P., Kubátová, H. (2005), "Parity Codes Used for On-Line Testing in FPGA", *Acta Polytechnica*, Vol. 45, no. 6, pp. 53-59.
14. Ghosh, S., Basu, S. and Touba, N.A. (2005), "Synthesis of Low Power CED Circuits Based on Parity Codes", *The Proceeding of 23rd IEEE VLSI Test Symposium (VTS'05)*, 2005, pp. 315-320.
15. Shah, T., Singh, V. and Matrosova, A. (2017), "Test Pattern Generation to Detect Multiple Faults in ROBDD Based Combinational Circuits", *The Proceeding of 23rd IEEE On-Line Testing and Robust System Design (IOLTS'2017)*, Thessaloniki, Greece, 3-5 July 2017, pp. 211-212, DOI: 10.1109/IOLTS.2017.8046223 (accessed July 17, 2019).
16. Matrosova, A., Ostanin, S., Tretyakov, D. and Butorina, N. (2017) "Logic Circuit Design with Gates, LUTs and MUXs Oriented to Mask Faults", *The Proceeding of 15th IEEE East-West Design & Test Symposium (EWDTS'2017)*, Novi Sad, Serbia, September 29 - October 2, 2017, pp. 95-98, DOI: 10.1109/EWDTS.2017.8110096 (accessed July 17, 2019).
17. Sapozhnikov, V.V., Sapozhnikov, V.I. and Efanov, D.V. (2018), *Kody Hemminga v sistemah funkcional'nogo kontrolya logicheskikh ustrojstv* [Hamming codes in concurrent error detection systems of logic devices], Nauka, St. Petersburg, Russia.
18. Efanov, D.V. (2016), *Funkcional'nyj kontrol' i monitoring ustrojstv zheleznodorozhnoj avtomatiki i telemekhaniki* [Concurrent checking and monitoring of railway automation and remote control devices], FGBOU VO PGUPS, St. Petersburg, Russia.
19. Gavzov, D.V., Drejman, O.K., Kononov, V.A. and Nikitin, A.B. (2002), *Sistemy dispetcherskoj centralizacii* [Dispatch centralization systems], Marshrut, Moscow, Russia.
20. Sapozhnikov, V.V., Sapozhnikov, V.I. and Efanov D.V. (2019), *Osnovy teorii nadezhnosti i tekhnicheskoy diagnostiki* [Fundamentals of the theory of reliability and technical diagnostics], Lan', St. Petersburg, Moscow.
21. Efanov, D.V. and Blyudov, A.A. (2014), "Increasing the reliability of position sensors of railway points", *Izv. Peterburgskogo un-ta putey soobscheniya*, no. 3, pp. 69-77.
22. Ostanin, S. (2017), "Self-Checking Synchronous FSM Network Design for Path Delay Faults", *The Proceeding of 15th IEEE East-West Design & Test Symposium (EWDTS'2017)*, Novi Sad, Serbia, 2017, September 29 - October 2, pp. 696-699, DOI: 10.1109/EWDTS.2017.8110129 (accessed July 17, 2019).
23. Berger, J.M. (1961), "A Note on Error Detection Codes for Asymmetric Channels", *Information and Control*, Vol. 4, Iss. 1, pp. 68-73, DOI: 10.1016/S0019-9958(61)80037-5 (accessed July 17, 2019).
24. Freiman, C.V. (1962), "Optimal Error Detection Codes for Completely Asymmetric Binary Channels", *Ibid*, Vol. 5, Iss. 1, pp. 64-71, DOI: 10.1016/S0019-9958(62)90223-1 (accessed July 17, 2019).
25. Das, D. and Touba, N.A. (1999), "Weight-Based Codes and Their Application to Concurrent Error Detection of Multilevel Circuits", *The Proceeding of the 17th IEEE VLSI Test Symposium, USA, CA, Dana Point*, April 25-29, 1999, p. 370-376.
26. Das, D., Touba, N.A., Seuring, M. and Gossel, M. (2000), "Low Cost Concurrent Error Detection Based on Modulo Weight-Based Codes", *The Proceeding of IEEE 6th International On-Line Testing Workshop (IOLTW)*, Spain, Palma de Mallorca, July 3-5, 2000, pp. 171-176, DOI: 10.1109/OLT.2000.856633 (accessed July 17, 2019).



27. Mekhov, V.B., Sapozhnikov, V.V. and Sapozhnikov, Vl.V. (2008), "Checking of Combinational Circuits Basing on Modification Sum Codes", *Avtomatika i telemekhanika*, no. 8, pp. 153-165.
28. Sapozhnikov, V.V., Sapozhnikov, Vl.V., and Efanov, D.V. (2014), "Weight-based sum codes for organizing the logic devices checking", *Elektronnoje Modelirovanije*, Vol. 36, no. 1, pp. 59-80.
29. Blyudov, A.A., Efanov, D.V., Sapozhnikov, V.V. and Sapozhnikov Vl.V. (2014), "On Codes with Summation of Data Bits in Concurrent Error Detection Systems", *Avtomatika i telemekhanika*, no. 8, pp. 131-145.
30. Efanov, D.V. Sapozhnikov, V.V. and Sapozhnikov, Vl.V. (2015), "Applications of Modular Summation Codes to Concurrent Error Detection Systems for Combinational Boolean Circuits", *Avtomatika i telemekhanika*, no. 10, pp. 152-169.
31. Efanov, D.V., Sapozhnikov, V.V. and Sapozhnikov, Vl.V. (2018), "Two-Modulus Codes with Summation of One-Data Bits for Technical Diagnostics of Discrete Systems", *Automatic Control and Computer Sciences*, Vol. 52, Iss. 1, pp. 1-12, DOI: 10.3103/S0146411618010029 (accessed July 17, 2019).
32. Efanov, D., Sapozhnikov, V. and Sapozhnikov, Vl. (2017), "Generalized Algorithm of Building Summation Codes for the Tasks of Technical Diagnostics of Discrete Systems", *The Proceeding of 15th IEEE East-West Design & Test Symposium (EWDTS'2017)*, Novi Sad, Serbia, September 29-October 2, 2017, pp. 365-371, DOI: 10.1109/EWDTS.2017.8110126 (accessed July 17, 2019).
33. Sapozhnikov, V.V., Sapozhnikov, Vl.V. and Efanov, D.V. (2014), "Formation of Codes with Summation with the Smallest Number of Undetectable Errors of Data Bits", *Radio-electronica i Informatika*, no. 4, pp. 46-55.
34. Sapozhnikov, V.V., Sapozhnikov, Vl.V. and Efanov, D.V. (2016), "Checking of Combinational Circuits, Based on Sum Codes with One Weighted Data Bit", *Avtomatika na Transporte*, Vol. 2, no. 4, pp. 564-597.
35. Efanov, D., Sapozhnikov, V. and Sapozhnikov, Vl. (2016), "On Variety of Sum Codes with On-Data Bits and One Weighted Data Bit in Concurrent Error Detection Systems", *The Proceeding of 2nd International Conference on Industrial Engineering, Applications and Manufacturing (ICIEAM)*, Chelyabinsk, Russia, 20 May, 2016, DOI: 10.1109/ICIEAM.2016.7911684.
36. Efanov, D., Sapozhnikov, V. and Sapozhnikov, Vl. (2018), "The Use of Codes with Fixed Multiplicities of Detected Unidirectional and Asymmetrical Errors in the Process of Organizing Combinational Circuit Testing", *The Proceeding of 16th IEEE East-West Design & Test Symposium (EWDTS'2018)*, Kazan, Russia, September 14-17, 2018, pp. 114-122, DOI: 10.1109/EWDTS.2018.8524768.
37. Sapozhnikov, V.V., Sapozhnikov, Vl.V. and Urganskov, D.I. (2000), "Method for constructing code vector checkers", *Elektronnoje Modelirovanije*, Vol. 22, no. 6, pp. 66-76.
38. Sapozhnikov, V.V., Sapozhnikov, Vl.V., and Urganskov, D.I. (2002), "Universal structures of binary unit counters for an arbitrary invoice module", *Ibid*, Vol. 24, no. 4, pp. 65-81.
39. Sapozhnikov, V.V., Sapozhnikov, Vl.V. and Urganskov, D.I. (2005), "Block structure of a binary unit counter for an arbitrary invoice module", *Ibid*, 2005, Vol. 27, no. 4, pp. 65-81.
40. Saposhnikov, V.V., Saposhnikov, Vl.V. and Urganskov, D.I. (2005), "Composite Structure of Binary Counter of Ones Arbitrary Modulo", *The Proceeding of East-West Design & Test Workshop (EWDTW'05)*, 15-19 September 2005, Odessa, Ukraine, pp. 102-106.
41. Saposhnikov, V.V., Saposhnikov, Vl.V. and Urganskov, D.I. (2006), "Multistage Regular Structure of Binary Counter of Ones Arbitrary Modulo", *The Proceeding of East-West Design & Test Workshop (EWDTW'06)*, 15-19 September 2006. Sochi, Russia, pp. 287-290.
42. Bibilo, P.N. and Gorodetskii, D.A. (2009), "Automated Design of Modular Arithmetic Devices: Might CAD Replace an Engineer", *Automatic Control and Computer Sciences*, Vol. 43, Iss. 2, pp. 63-73, DOI: 10.3103/S0146411609020023 (accessed July 17, 2019).

43. Suprun, V.P., Gorodetskii, D.A. (2010), "Synthesis of N-Operand Modulo-Three Adders", *Ibid*, Vol. 44, Iss. 3, pp. 171-177, DOI: 10.3103/S0146411610030089 (accessed July 17, 2019).
44. Suprun, V.P., Gorodecky, D.A. (2010), "Realization of Addition and Multiplication Operations in Unitary Codes", *Ibid*, Vol. 44, Iss. 5, pp. 292-301, DOI: 10.3103/S014641161005007X (accessed July 17, 2019).
45. Suprun, V.P. (2011), "Single-Level Schematic Realization of Basic Operations of Modular Arithmetic in Unitary Codes", *Ibid*, Vol. 45, Iss. 2, pp. 70-79, DOI: 10.3103/S0146411611020088 (accessed July 17, 2019).
46. Sapozhnikov, V.V., Sapozhnikov, V.I. and Efanov, D.V. (2015), "Errors Classification in Information Vectors of Systematic Codes", *Priboroostroenie*, Vol. 58, no. 5, pp. 333-343, DOI 10.17586/0021-3454-2015-58-5-333-343 (accessed July 17, 2019).
47. Stempkovskij, A.L., Tel'puhov, D.V. and Solov'ev, R.A. (2016), "Development of technologically independent metrics to evaluate the masking properties of logic circuits", *Vychislitel'nye tekhnologii*, Vol. 21, no. 2, pp. 53-62.
48. Gössel, M., Ocheretny, V., Sogomonyan, E. and Marienfeld, D. (2008), *New Methods of Concurrent Checking: Edition 1*, Springer Science+Business Media, Dordrecht, Nederland.
49. "Collection of Digital Design Benchmarks", available at: <http://ddd.fit.cvut.cz/prj/Benchmarks/> (accessed July 17, 2019).
50. Sapozhnikov, V.V., Sapozhnikov, V.I. and Efanov, D.V. (2017), "The selection of a modified code with summation of unit data bits for logical units with a given topology", *Avtomatika na Transporte*, Vol. 3, no. 4, pp. 578-604.
51. Sentovich, E.M., Singh, K.J., Moon, C. (1992), "Sequential Circuit Design Using Synthesis and Optimization", *The Proceeding IEEE International Conference on Computer Design: VLSI in Computers & Processors*, 11-14 October 1992, Cambridge, MA, USA, USA, pp. 328-333, DOI: 10.1109/ICCD.1992.276282 (accessed July 17, 2019).
52. Dmitriev, V.V., Efanov, D.V., Sapozhnikov, V.V. and Sapozhnikov, V.I. (2018), "Sum Codes with Efficient Detection of Twofold Errors for Organization of Concurrent Error-Detection Systems of Logical Devices", *Avtomatika i telemekhanika*, 2018, no. 4, pp. 105-122.
53. Efanov, D.V. (2018), "The synthesis of self-checking combinational devices on the basis of codes with the effective symmetrical error detection", *Trudy SPIIRAN*, no. 4, pp. 62-91, DOI: 10.15622/SP.59.3 (accessed July 17, 2019).
54. Efanov, D.V., Sapozhnikov, V.V. and Sapozhnikov, V.I. (2018), "Synthesis of Self-checking Combinational Devices Based on Allocating Special Groups of Outputs", *Avtomatika i telemekhanika*, no. 9, pp. 79-94.

Received 01.02.19

*Д.В. Єфанов, В.В. Сапожніков, В.І. Сапожніков*

#### КОДИ З ПІДСУМОВУВАННЯМ ОДИНИЧНИХ І ОДНОГО ЗВАЖЕНОГО РОЗРЯДІВ З ДОВІЛЬНИМИ МОДУЛЯМИ ПІДРАХУНКУ

Запропоновано новий клас кодів, орієнтованих на виявлення помилок в інформаційних векторах. Принципи побудови нових кодів базовані на зважуванні всіх розрядів інформаційних векторів, крім одного, одиничними ваговими коефіцієнтами і одного розряду — неодинамичним ваговим коефіцієнтом з подальшим підрахуванням найменшого невідомого відліку сумарної ваги одиничних інформаційних розрядів за заздалегідь встановленим модулем. Описано даний клас кодів та наведено класифікацію сімейств кодів у залежності від довжин контрольних векторів. Визначено потужність множини модульних кодів з підсумовування одиничних і одного зваженого розрядів для кожного значення

довжини інформаційного вектора. Розглянуто деякі особливості виявлення помилок у інформаційних векторах класу, який розглядається, що є актуальним при розв'язуванні задач виявлення несправностей у апаратних реалізаціях логічних пристроїв систем автоматичного управління.

*К л ю ч о в і с л о в а: надлишкові коду, коди з виявленням помилок, коди з підсумовування, контролепридатні автоматичні пристрої, інформаційний вектор, технічна діагностика, відмово стійкість.*

*D.V. Efanov, V.V. Sapozhnikov, V.V. Sapozhnikov*

#### UNIT BITS AND ONE WEIGHTED BIT SUM CODES WITH ARBITRARY COUNTING MODULES

A new codes class focused on the error detection in information vectors is presented. The new codes building principles are based on weighing all bits in the data vectors, except for one, with unit weights and one bit — non-unit weights with further calculation of the smallest non-negative deduction of the total on-bits weight in a predetermined module. The description of this codes class and the classification of code families depending on the check vectors lengths are given. The power of modular codes set is determined with the unit bits and one weighted bit sum for each value of the length of the data vector. Some error detection features in data vectors by codes from the considered class are considered, which is important when solving the detecting faults problem in hardware implementations of automatic control systems logic devices.

*K e y w o r d s: redundant code; error detection codes; sum codes; controllable automation devices; check vector; technical diagnostic; fault-tolerance.*

*ЕФАНОВ Дмитрий Викторович, д-р техн. наук, доцент, профессор кафедры «Автоматика, телемеханика и связь на железнодорожном транспорте» Российского университета транспорта, руководитель направления систем мониторинга и диагностики ООО «ЛокоТех-Сигнал». В 2007 г. окончил Петербургский государственный университет путей сообщения. Область научных исследований — дискретная математика, надежность и техническая диагностика дискретных систем.*

*САПОЖНИКОВ Валерий Владимирович, д-р техн. наук, профессор, профессор кафедры «Автоматика и телемеханика на железных дорогах» Петербургского государственного университета путей сообщения Императора Александра I. В 1963 г. окончил Ленинградский ин-т инженеров железнодорожного транспорта. Область научных исследований — надежный синтез дискретных устройств, синтез безопасных систем, синтез самопроверяемых схем, техническая диагностика дискретных систем.*

*САПОЖНИКОВ Владимир Владимирович, д-р техн. наук, профессор, профессор кафедры «Автоматика и телемеханика на железных дорогах» Петербургского государственного университета путей сообщения Императора Александра I. В 1963 г. окончил Ленинградский ин-т инженеров железнодорожного транспорта. Область научных исследований — надежный синтез дискретных устройств, синтез безопасных систем, синтез самопроверяемых схем, техническая диагностика дискретных систем.*