

КІБЕРНЕТИКА та КОМП'ЮТЕРНІ ТЕХНОЛОГІЇ

УДК 519.85

DOI:10.34229/2707-451X.24.2.4

К.П. СОСНЕНКО

УДОСКОНАЛЕНІ АЛГОРИТМИ ДЕКОДУВАННЯ ЗГОРТКОВИХ КОДІВ

Вступ. Згорткові коди знайшли широке застосування в телекомунікаційних системах цифрового зв'язку і розподілених виробничих системах управління для завадостійкого кодування інформації, що передається по каналах зв'язку з шумами. Згорткові коди також використовуються для декодування послідовності прихованих станів в інтелектуальних марківських моделях класифікації стану об'єктів управління [1]. Незважаючи на ефективність методів, що застосовуються для динамічного програмування, саме затрати пам'яті і часу на декодування кодів, що згортаються, визначають реальну можливість досягнення верхньої межі пропускнуої здатності теперішніх каналів зв'язку [2 – 4].

Фізичний розмір і споживання енергії комунікаційних пристроїв (наприклад, в супутниковому зв'язку) мають першорядне значення [5]. Розглянута далі реалізація алгоритму Вітербі забезпечує зниження апаратних і часових витрат на декодування кодових послідовностей, що згортаються, і можуть бути застосовані для напівнатурного моделювання існуючих засобів передачі даних.

Основна ідея алгоритму Вітербі полягає у покроковому порівнянні всіх шляхів по кодовій решітці з прийнятою з каналу послідовністю і відкиданні тих з них, які знаходяться на більшій відстані, ніж інші шляхи (під відстанню між двома послідовностями мається на увазі відстань Хеммінга, що відповідає числу позицій двох послідовностей у яких вони різні). Іншими словами – спроба обрати шлях, який найкраще узгоджується з прийнятою послідовністю [6].

Шляхи проходять через вузли (стани) решітки – спеціального графу в прямокутній координатній сітці і для кожного з них обчислено відстань від прийнятої послідовності і кодовими словами (дану відстань далі будемо називати метрикою).

Одним з основних вимог, що пред'являються при розробці декодера, була можливість його оперативного перепрограмування, а не переконфігурування під різні

Запропоновано: декодер Вітербі, в конструкції якого закладено дворазове зниження числа тактів читання метрик і треків з оперативної пам'яті і досягається при спільному обробітку двох вузлів приймачів, що мають спільні для них два вузли джерела ("метелик" Вітербі).

Ключові слова: коди, які згортаються, алгоритм Вітербі, базис ПЛІС, метрики.

© К.П. Сосненко, 2024

формати згортальних кодів [7]. Мінімум витрат на максимальну конфігурацію доповнюється оптимізацією окремих елементів і вузлів, зокрема, поділом адреси RAM і коду обчислювача метрик ребер на дві частини [8].

Запропонований метод дозволяє дворазове зниження числа тактів читання метрик і треків (вхідних послідовностей або зворотних покажчиків) з оперативної пам'яті (RAM). Для цього проводиться спільна обробка двох вузлів приймачів, що мають спільні для них два вузли джерела – "метелик" Вітербі, що є також необхідним для відмови від дублювання пам'яті.

Метрики ребер між джерелами і приймачами генеруються апаратно або зберігаються в пам'яті в силу відносно невеликих витрат у порівнянні з витратами на пам'ять метрик і тим більше треків. Порівняно невеликі витрати на апаратний обчислювач метрик ребер дозволяють організувати паралельний підрахунок, компарування і мультиплексування метрик і треків двох джерел на входах блокової RAM (рис. 1).

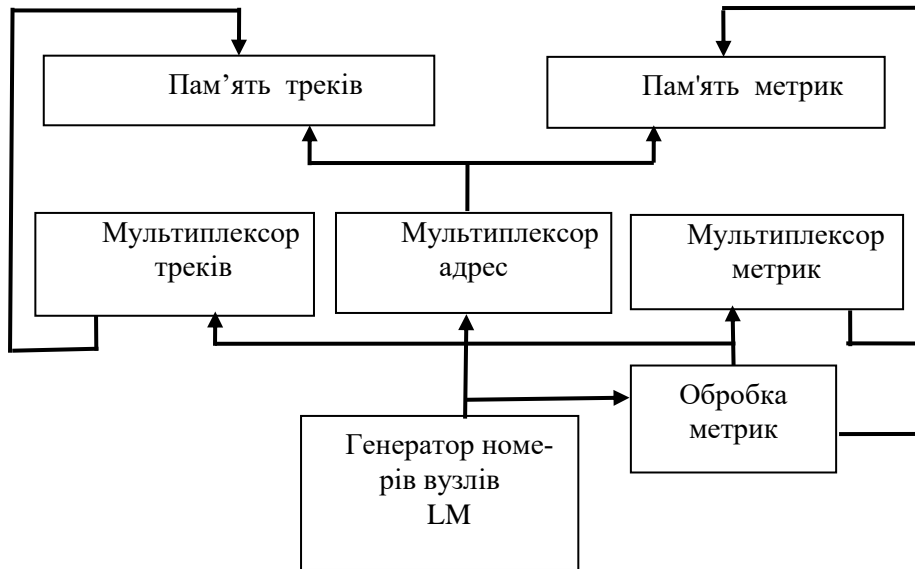


РИС. 1. Блок-схема декодера Вітербі

Двопортова блокова пам'ять дає можливість до двох разів прискорити процес декодування, відмовитися від буферних регістрів метрик і треків і спростити ланцюги синхронізації.

Кодування згортальних кодів здійснюється за допомогою k_0 когерентних (здвигових) регістрів (по числу інформаційних входів кодера), що мають n_0 виходів, утворених суматорами за mod2 стану частин розрядів регістрів. У кожному такті роботи кодер приймає k_0 вхідних інформаційних символів, і видає на виході n_0 вихідних символів, що підлягають передачі по каналу зв'язку. Вихідні символи, в кожному такті, залежать від інформаційних символів, що надходять на цей і на $(n - 1)$ попередніх циклів, де n – довжина перемішувального регістру.

k_0/n_0 – швидкість згорткового коду;

$CL = n - 1$ – кодове обмеження.

Внутрішній цикл алгоритму роботи декодера Вітербі.

На рис. 2 показано блок-схему алгоритму декодера Вітербі. В кожному із 4 тактів роботи на виході генератора номера вузлів трансформується мультиплексером адрес у код на RAM метрик і треків.

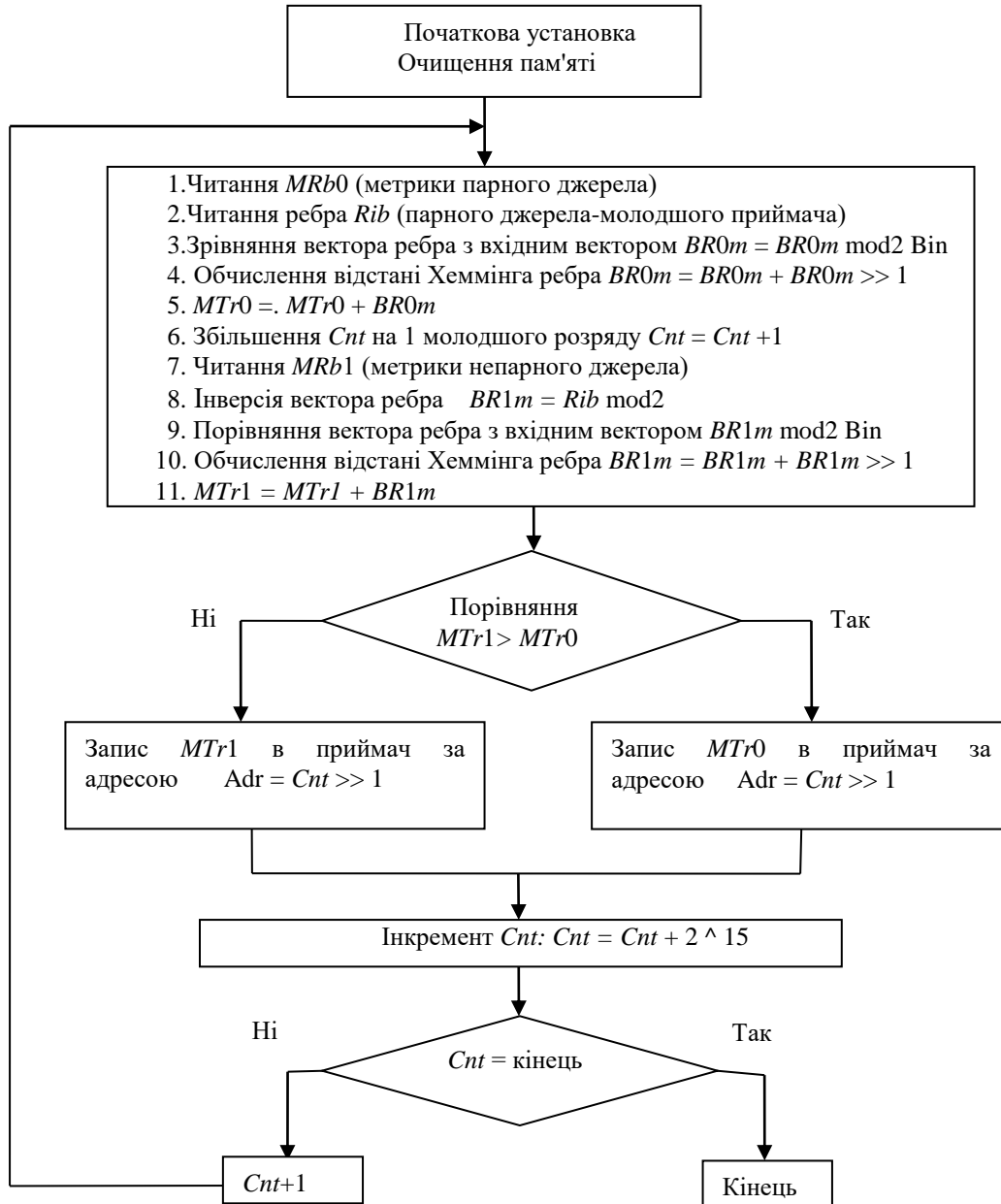


РИС. 2. Блок-схема алгоритму декодера Вітербі

Читання попередніх метрик і треків з RAM:

парного джерела	$A_{n-1} \dots A_2 A_1 \ 0$
непарного джерела	$A_{n-1} \dots A_2 A_1 \ 1$

Запис метрик і треків, що вижили:

молодшого приймача 0 $A_{n-1} \dots A_2 A_1$ 0/1
 старшого приймача 1 $A_{n-1} \dots A_2 A_1$ 0.

Обробка двох вузлів приймачів проводиться одночасно, так як мають спільні для них два вузли джерела ("метелик" Вітербі). В середині "метелика" доступні чотири конфігурації переходів – для кожного з двох приймачів можливі два вузли-джерела. При цьому номер вузла-джерела доповнюється до повних $n-1$ розрядів відповідно бітом A_1 в крайньому правому розряді регістра кодера, що не впливає на нумерацію вузлів. Номер вузла-приймача доповнюється до повного бітом A_n , який являє вхідний інформаційний біт кодера. Декодер Вітербі порівнює вхідну кодову комбінацію, що утворюється породжуючими поліномами кодера і перешкодами в лінії зв'язку, з векторами парного Rib_0 та непарного ребра Rib_1 , що зберігаються в пам'яті декодера (або породжуваними поліномами, як функції з можливих станів $A_n A_{n-1} \dots A_3 A_2 A_1$). Суми різних бітів являють собою відстані Хемінга між векторами і називаються метриками ребер, відповідно MRb_0 і MRb_1 .

Декодер підраховує метрики шляхів MTr_0 , MTr_1 (при переході до чергової решітки), додаючи до метрик ребер їх попередні значення. Оскільки підшлях з більшою метрикою з двох не може служити префіксом найкращого шляху від цього вузла, то декодер його виключає. Декодер Вітербі реалізує вибір оптимального шляху відповідно до методу максимальної вірогідності (згідно рис. 2). Спочатку виконується обчислення та порівняння метрик парних MRb_0 та непарних MRb_1 шляхів для молодшого вузла-приймача. Потім збільшується на 1 старший розряд вузла і виконується циклічний перехід до обробки метрик для старшого вузла-приймача.

Далі виконується запис у пам'ять метрик і треків оновлених значень метрики MTr і треків Trk шляхів. Таким чином нові значення метрик (відстані Хемінга) утворюються в результаті порівняння, а нові значення треків – шляхом зсуву попереднього значення з додаванням у звільнений нульовий розряд – для молодшого та одиничного – для старшого приймача значення A_n . Виконання алгоритму закінчується при досягненні кінцевого нульового вузла.

В повній мірі досягнення високої продуктивності роботи декодера згорткових кодів по алгоритму Вітербі дозволяє його побудову на ПЛІС FPGA Spartan3 фірми Xilinx [9]. Показана на рис. 1 блок-схема декодера виконана з реалізацією всієї обробки метрик після їхнього читання з блокової пам'яті ПЛІС за допомогою комбінаційної схеми. Джерелом вхідних кодів для обох підсхем є генератор номерів вузлів, що здійснює послідовний перебір адрес двох вузлів джерел і двох вузлів приймачів кожного "метелика" чергового ярусу решітчастої діаграми. Контролер адресів це загальний для обох блоків пам'яті мультиплексор адресної шини. Контролер даних містить незалежні мультиплексори шин даних для кожного з блоків пам'яті. Блок обробки метрик треків містить схеми формування метрики ребер між двома вузлами джерел і двома вузлами приймачів всередині кожного "метелика", обчислення та порівняння підсумкових метрик треків для кожного з двох вузлів приймачів.

Обробка чергового "метелика" декодера Вітербі виконується за чотири такти. В кожному такті бітовий вектор на виході генератора номерів вузлів перетворюється мультиплексером адресів у код на входах адресних шин комірки пам'яті виживших метрик і треків. Розрядність шин адрес дорівнює передбачуваному максимально допустимому кодовому обмеженню $CL_{max} = n$, тобто на входи схеми визначення метрик ребер блоку обробки метрик. Молодший біт ігнорується, бо схема містить апаратні засоби паралельного підрахунку метрик ребер для парного та непарного адресів.

Принципова схема декодера Вітербі за вищенаведеною блок-схемою декодера може бути виконана у версії САПР Xilinx Ise WebPack 14.7. При застосуванні блокової пам'яті у двохпортовому режимі потрібні додаткові ресурси кристалу для організації конвеєрних регістрів на входах комбінаційної логіки з обчислення метрик і треків. На рис. 3 показані блок метрик і блок управління, а на рис. 4 – блок треків.

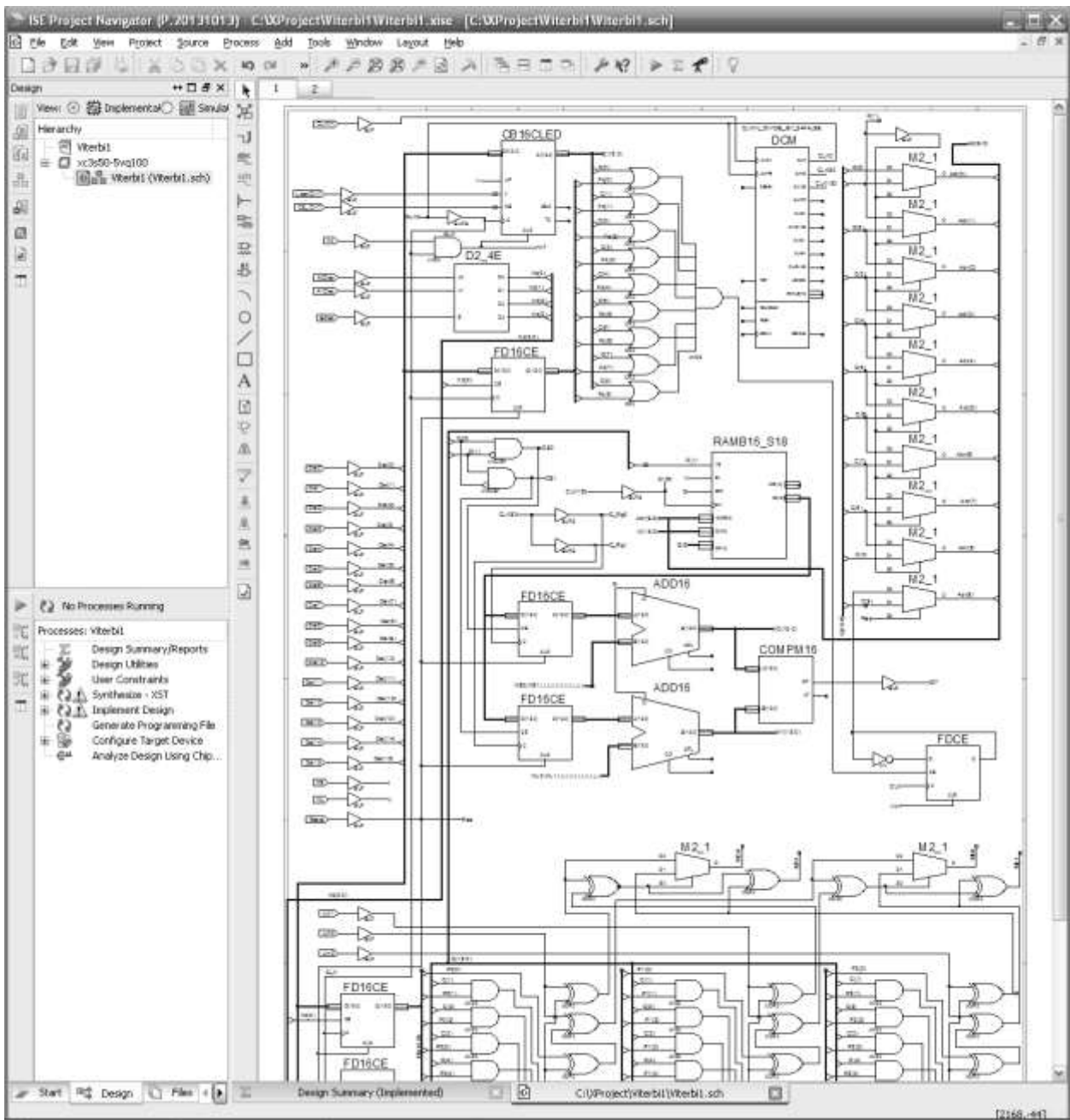


РИС. 3. Схема блоку метрик і блоку управління декодера Вітербі в схемотехнічному редакторі САПР Xilinx ISE

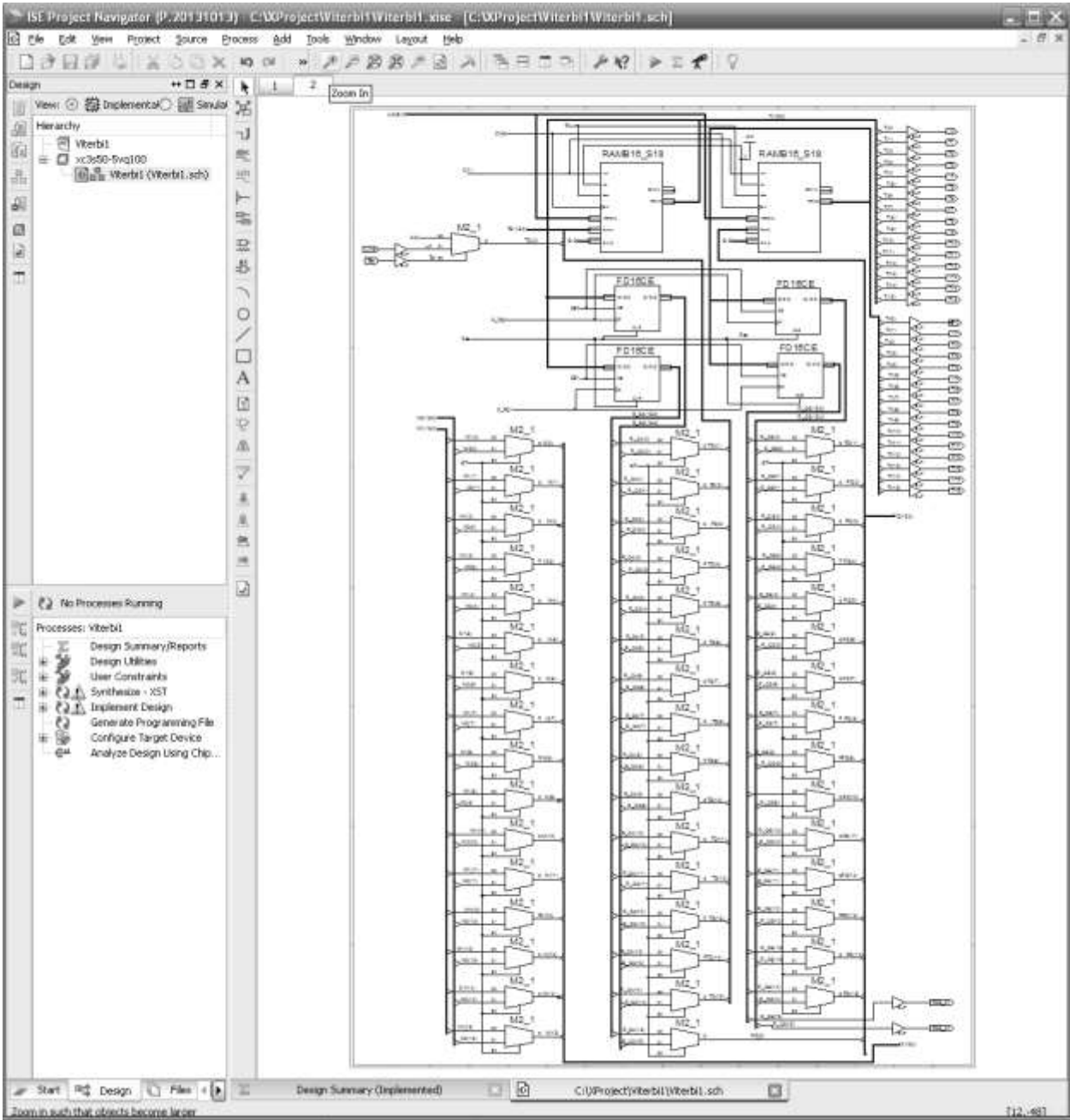


РИС. 4. Схема блоку треків декодера Вітербі в схемотехнічному редакторі САПР Xilinx ISE

Для перевірки проекту на декількох тестових наборах використовувався вбудований в САПР Xilinx симулятор ISIM. Підсумковий звіт показує досить хороший коефіцієнт використання блокової пам'яті (75 %) і неповне використання розподіленої пам'яті та логіки LUT (25 %). При проектуванні декодера спільно з основним та додатковим оточенням загального цільового призначення в єдиному кристалі FPGA очікується, що цей показник покращиться.

Висновок. Вищерозглянута реалізація алгоритму Вітербі відноситься до автоматизації і обчислювальної техніки і може бути використана у системах зв'язку для підвищення надійності при передачі інформації на великій швидкості та через канал з шумами зв'язку [10]. Перевага декодера Вітербі полягає у тому, що його складність це лінійна функція кількості символів у послідовності кодових слів.

Список літератури

1. Скляр Б. Цифровая связь. Теоретические основы и практическое применение. М.: Вильямс, 2007. 1104 с.
2. Патент США 8943392 Чоудхури и др. 27 января 2015.
3. Патент України № 73867. Опубл. 2006 р. Бюл. № 6.
4. Патент США 4979175 Портье; Джеффри А. (Темпе, Аризона). 18 грудня 2015.
5. Морелос-Сарагоса Р. Искусство помехоустойчивого кодирования. Методы, алгоритмы, применение. М.: Техносфера, 2005.
6. Золотарёв В.В., Овечкин Г.В. Помехоустойчивое кодирование. Методы и алгоритмы: Справочник. М.: Горячая линия–Телеком, 2004.
7. Чичирин Е.Н. Перестраиваемая структура декодера Витерби в базе ПЛИС Xilinx. *Комп'ютерні засоби, мережі та системи*. 2015. № 14. С. 40–49. http://nbuv.gov.ua/UJRN/Kzms_2015_14_6
8. Сосненко Е.П. Сравнительный анализ сред реализаций декодера сверточного кода. *Комп'ютерні засоби, мережі та системи*. 2015. № 14. С. 127–133. <http://dspace.nbuv.gov.ua/handle/123456789/122852>
9. Опанасенко В.М., Лісовий О.М. Формалізація процесу проектування обчислювальних пристроїв та систем на базі ПЛИС. *Комп'ютерні засоби, мережі та системи*. 2009. № 8. С. 58–63. <http://dspace.nbuv.gov.ua/handle/123456789/6528>
10. Карташевский В.Г., Мишин Д.В. Прием кодированных сигналов в каналах с памятью. Радио и связь, 2004.

Одержано 22.03.2024

Сосненко Катерина Петрівна,
молодший науковий співробітник
Інституту кібернетики імені В.М. Глушкова НАН України, Київ.
sosnenko.kate@ukr.net

УДК 519.85

К.П. Сосненко

Удосконалені алгоритми декодування згорткових кодів

Інститут кібернетики імені В.М. Глушкова НАН України, Київ
Листування: sosnenko.kate@ukr.net

Вступ. Розглянута реалізація алгоритму Вітербі забезпечує зниження апаратних і часових витрат на декодування кодових послідовностей, що згортаються, і може бути застосована для напівнатурного моделювання існуючих засобів передачі даних (наприклад, у супутниковому зв'язку).

Мета роботи. Показати, як при моделюванні процесів кодування і декодування згорткових кодів за удосконаленим алгоритмом Вітербі, а також реалізація його на доступних у даний час великих інтегральних схемах типу FPGA, що перепрограмовуються, дозволили знизити в 2 рази число тактів читання метрик і треків з оперативної пам'яті (RAM).

Результати. Дворазове зниження числа тактів читання метрик і треків (вхідних послідовностей або зворотних показників) з оперативної пам'яті досягається при спільній обробці двох вузлів приймачів, що мають спільні для них два вузли джерела.

Порівняно невеликі витрати на апаратний обчислювач метрик ребер дозволяють організувати паралельний підрахунок, компарування і мультиплексування метрик і треків двох джерел на входах блокової RAM. Двохпортова блокова пам'ять дає можливість істотно (до двох разів) прискорити процес декодування, відмовитись від буферних регістрів метрик і треків.

Висновки. Декодер Вітербі, широко застосовується у системах зв'язку і є практичним методом виправлення помилок при великій швидкості передачі сигналу в сучасних телекомутаційних системах зв'язку. Декодер Вітербі призначений для декодування кодів які згортаються і є оптимальним у сенсі мінімізації ймовірності помилки. Перевага декодера Вітербі полягає у тому, що його складність це лінійна функція кількості символів у послідовності кодових слів.

Крім того, алгоритм Вітербі широко застосовується у системах розпізнавання образів, що використовують приховані марківські моделі.

Ключові слова: коди, які згортаються, алгоритм Вітербі, базис ПЛІС, метрики.

MSC 90C15

Kateryna Sosnenko

Improved Decoding Algorithms for Convolutional Codes

V.M. Glushkov Institute of Cybernetics of the NAS of Ukraine, Kyiv

Correspondence: sosnenko.kate@ukr.net

Introduction. The considered implementation of the Viterbi algorithm provides a reduction in hardware and time costs for decoding convoluted code sequences, and can be used for semi-realistic modeling of existing means of data transmission (for example, in satellite communication).

The purpose of the article. Show how when modeling the processes of encoding and decoding convolutional codes according to the improved Viterbi algorithm, as well as its implementation based on programmable logic devices of the FPGA type, it was possible to reduce the number of clocks of reading metrics and tracks from RAM by 2 times.

The results. A two-fold decrease in the number of reading cycles of metrics and tracks (input sequences or reverse pointers) from RAM is achieved by joint processing of two receiver nodes that share two source nodes.

Relatively small costs for a hardware calculator of edge metrics allow you to organize parallel calculation, comparison and multiplexing of metrics and tracks of two sources at the inputs of block RAM. Two-port block memory makes it possible to significantly (up to two times) speed up the decoding process, to abandon metric and track buffer registers.

Conclusions: The Viterbi decoder is widely used in communication systems and is a practical method of error correction at high signal transmission speed in modern telecommunication systems. The Viterbi decoder is designed for decoding convolutional codes and is optimal in the sense of minimizing the probability of an error. The advantage of the Viterbi decoder is that its complexity is a linear function of the number of symbols in the codeword sequence.

In addition, the Viterbi algorithm is widely used in pattern recognition systems using hidden Markov models.

Keywords: Convolutional codes, Viterbi algorithm, FPGA basis, metrics.