

УДК 681.3

В. И. ОСИНСКИЙ<sup>а</sup>, Т. Б. МАРТЫНЮК<sup>б</sup>, А. А. КОЗЛОВ<sup>б</sup>, МОХАМЕД САЛЕМ НАССЕР  
МОХАМЕД<sup>б</sup>

## ОСОБЕННОСТИ ОПТОЭЛЕКТРОННОЙ РЕАЛИЗАЦИИ СОРТИРУЮЩЕЙ НЕЙРОСЕТИ

<sup>а</sup> НИИ микроприборов НАН Украины,  
Центр оптоэлектронных технологий, г. Киев, Украина

<sup>б</sup> Винницкий национальный технический университет,  
ул. Хмельницкое шоссе, 95, г. Винница, Украина

**Аннотация.** В статье рассмотрены особенности реализации процесса параллельной сортировки массива чисел на сортирующей нейросети. Проанализированы возможности реализации предлагаемой сортирующей нейросети на оптоэлектронной элементной базе.

**Ключевые слова:** сортирующая нейросеть, сортировка, быстродействие, оптоэлектронная элементная база.

**Abstract.** In the article the feature of realization of parallel sorting process of number array on assorting neural network are considered. Capabilities of offered assorting neural network on an optoelectronic element base are analyzed.

**Keywords:** sorting network, sorting, performance, optoelectronic element base.

### ВВЕДЕНИЕ

Одно из перспективных направлений вычислительной техники связано с усовершенствованием методов и средств сортировки массивов данных, поскольку возрастает необходимость в упорядочивании больших массивов информации в реальном времени [1,2].

Известно, что процедура сортировки применяется в разных прикладных задачах, при этом, выполнение в процессе сортировки таких операций, как поиск минимального (максимального) значения в наборе чисел способствует увеличению функциональных возможностей, а также расширению сферы применения спецпроцессоров, которые реализуют не только процедуру сортировки, но и поиск по ключу в массиве данных [3]. На практике доказано, что повышения быстродействия процесса сортировки можно достичь при реализации его аппаратным способом, например, на сортирующей нейросети [4].

### ПОСТАНОВКА ЗАДАЧИ

Существуют разные типы нейронных сетей, но не все они имеют преимущества при ассоциативной обработке массива данных [4-6]. Среди нейросетей, выполняющих простые ассоциативные операции, можно назвать сеть Хэмминга, Хопфилда, Кохонена, двунаправленную ассоциативную память (ДАП), MAXNET [7], которые могут выполнять простейшие ассоциативные операции, а именно, определять соотношения ( $>$ ,  $<$ ,  $=$ ) и выделять максимальный или минимальный элемент векторного массива входных сигналов. С другой стороны, именно ассоциативные процессоры (АП) могут выполнять ряд операций, относящихся к таким ассоциативным операциям, как [2,3]: поиск по соответствию, поиск ближайшего снизу (сверху) значения, поиск максимального (минимального) значения, поиск величин, заключенных в заданных границах, поиск на основе булевых функций, упорядоченная выборка (сортировка). При этом основным блоком АП является ассоциативное ЗУ (АЗУ), в котором выборка данных выполняется по содержанию [3].

Учитывая необходимость большого количества связей при аппаратной реализации сортирующих сетей [8-10], нет альтернативы таким перспективным технологиям, как оптоэлектронная схемотехника [11-14]. Так например, использование оптоэлектронных ИС в виде матриц смарт-пикселей [11],

сочетающих возможности оптических связей и электронных вычислительных устройств, позволяет эффективно решать проблемы аппаратной реализации сортирующих нейросетей с возможностями ассоциативного процессора [15-17].

Целью данной работы является анализ особенностей оптоэлектронной реализации сортирующей нейросети.

### СОРТИРУЮЩИЕ НЕЙРОСЕТИ

Примером нейросетевой организации алгоритма сортировки является адаптивная сортирующая нейросеть в виде трехмерного оптического нейрончика [4], которая состоит из двух частей: обучающей и вычисляющей (рис.1). Весовые коэффициенты обучаемой нейросети настраиваются в зависимости от входных данных  $x_1, \dots, x_n$ . Сеть достигает стационарного состояния за один шаг [4].

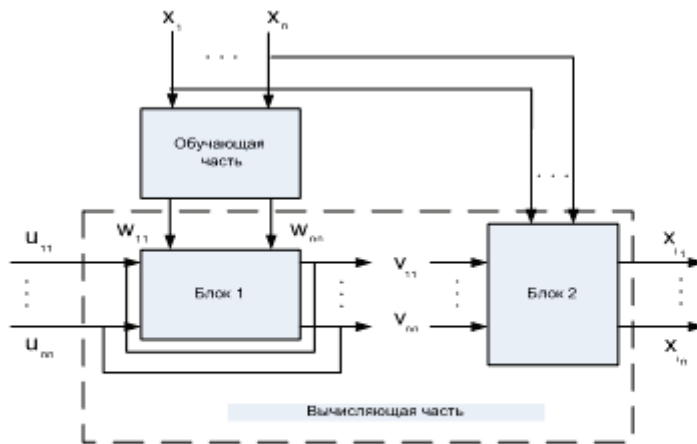


Рис. 1. Нейросеть для сортировки чисел

В нейросети используются бинарные нейроны, т.е. элементы с пороговой функцией вида

$$v_i = f(u_i) = \begin{cases} 1, & \text{если } u_i > 0; \\ 0, & \text{если } u_i \leq 0, \end{cases} \quad (1)$$

где  $u_i$  – вход  $i$ -го нейрона;  $v_i$  - его выход,  $V = (v_1, \dots, v_n)$  –  $n$ -мерный вектор выходных значений сети.

Рассмотренный вариант реализации сортирующей нейросети позволяет создавать достаточно простые многоканальные оптические вычислительные устройства, способные работать в сочетании с обычными управляющими микроэлектронными СБИС [4]. Вместе с тем, недостатком данной нейросети являются избыточные аппаратные затраты порядка  $O(n^2)$ , связанные с реализацией табличного метода сравнений элементов входного вектора и отсутствие промышленно- выпускаемых оптических и оптоэлектронных ИС для схемы данной нейросети.

Реализация метода сортировки парным обменом с ранжированием на такой перспективной структуре, как нейросеть с использованием оптоэлектронной элементной базы, позволяет устранить трудности, связанные с организацией большого количества межсоединений в нейросети при сортировке массива чисел [7,9].

На рис.2 представлена обобщенная схема сортирующей нейросети, а на рис.3 показана схематическая диаграмма процесса сортировки в данной сети [7]. На рис.3 приняты такие обозначения:  $x$ - входной вектор данных;  $x^t$ -текущий вектор данных в  $t$ -м цикле;  $q^{t+}$  и  $q^{t-}$ -векторы инкремента/декремента рангов элементов текущего вектора данных;  $v_j$ - вектор подстановки;  $m$ -размерность элементов входного массива;  $G^0$ -начальная матрица весов;  $G^t$ -матрица весов в  $t$ -м цикле;  $q^t$ -вектор связей.

Особенность функционирования сортирующей нейросети заключается в следующем. Перед

сортировкой на информационные входы памяти рангов ПР подается матрица размерностью  $m \times m$ , которая является начальной матрицей весов  $\mathbf{G}^0 = \{g_{11}^0, \dots, g_{mm}^0\}$  вида

$$\mathbf{G}^0 = \begin{pmatrix} 100\dots 0 \\ 010\dots 0 \\ \dots \\ 000\dots 1 \end{pmatrix}, \quad (2)$$

то есть всем элементам входного вектора  $\mathbf{x}$  данных присваиваются ранги, которые отвечают номерам их позиций в векторе, например, являются натуральным рядом чисел, записанных в единичном позиционном коде вида (2). Матрица весов  $\mathbf{G}^0$  подается на адресные входы селектора кодов СК и на адресные входы коммутатора К с выходов памяти рангов ПР.

Из рис.2 видно, что селектором кодов СК выполняется селекция (выборка) входного массива  $\mathbf{x} = \{x_1, \dots, x_i, \dots, x_m\}$  вида

$$\mathbf{x}^t \leftarrow \mathbf{G}^{t-1} \mathbf{x}, \quad t = \overline{1, N}, \quad (3)$$

где  $N$ - количество циклов сортировки,  $x_i^t$ -й элемент текущего вектора  $\mathbf{x}^t$ , сформированного из элементов входного вектора  $\mathbf{x}$  по адресу  $g_i^{t-1}$  матрицы весов  $\mathbf{G}^{t-1}$  в  $t$ -м цикле сортировка.

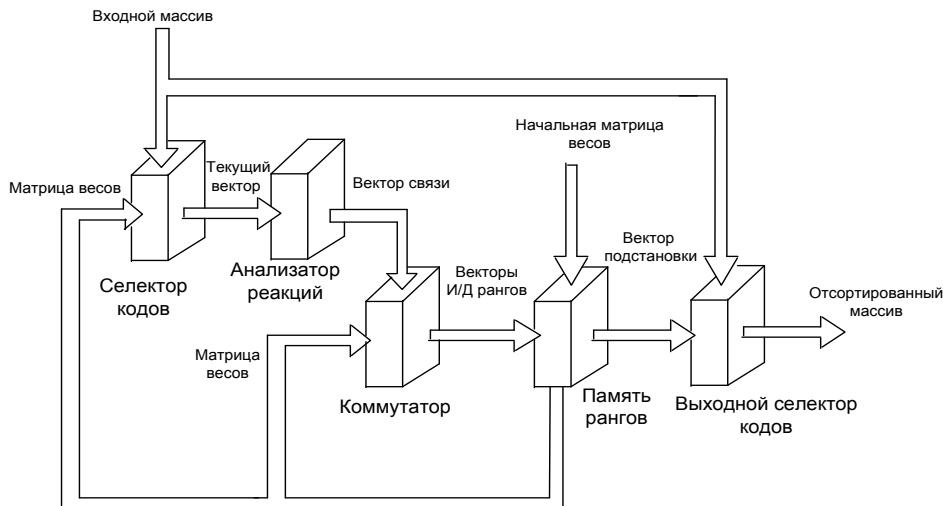


Рис. 2. Обобщенная схема сортирующей нейросети

В анализаторе реакций АР реализуется пороговая обработка элементов текущего вектора  $\mathbf{x}^t$  следующим образом

$$q_k^t = \begin{cases} 1, & \text{если } x_{2k}^t > x_{2k+1}^t \text{ и } x_1^t > x_m^t \text{ в нечетных циклах и} \\ & x_{2k-1}^t > x_{2k}^t \text{ в четных циклах;} \\ 0, & \text{если } x_{2k}^t \leq x_{2k+1}^t \text{ и } x_1^t \leq x_m^t \text{ в нечетных циклах и} \\ & x_{2k-1}^t \leq x_{2k}^t \text{ в четных циклах.} \end{cases} \quad (4)$$

где  $q_k^t$  -  $k$ -й элемент вектора связей  $\mathbf{q}^t$ ,  $k = \overline{1, K}$ ,  $K = \lfloor m/2 \rfloor$ .

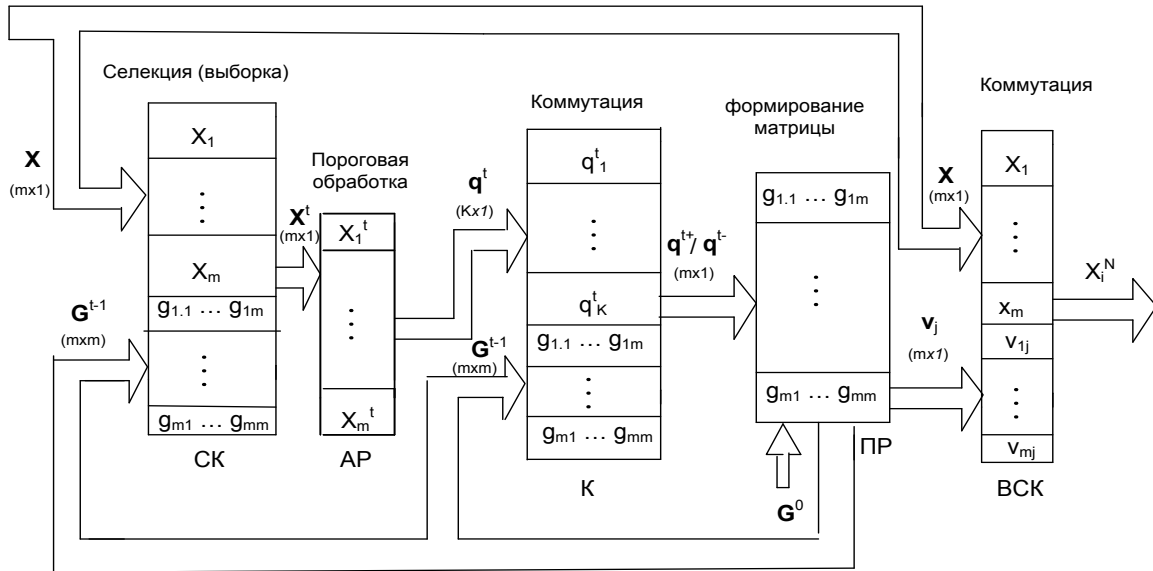


Рис. 3. Схематическая диаграмма процесса сортировки в сортирующей сети

Коммутатором К выполняется перекоммутация с учетом матрицы весов  $G^{t-1}$  элементов вектора связей  $q^t$  и формирования двух векторов инкремента/декремента рангов  $q^{t+} = \{q_1^{t+}, \dots, q_m^{t+}\}$  и  $q^{t-} = \{q_1^{t-}, \dots, q_m^{t-}\}$  по формуле:

$$q^{t+} = q^t G_p^{t-1},$$

$$q^{t-} = q^t G_{p+1}^{t-1}, \quad (5)$$

где  $G^{t-1}$  - матрица весов, которая формируется в (t-1)-м цикле сортировки; p, p+1- соответственно четный и нечетный столбцы матрицы весов.

В памяти рангов ПР выполняется формирование текущей матрицы весов  $G^t$  путем изменения (настройки) ее элементов в процессе их увеличения/уменьшения на единицу (инкремента/декремента) в соответствии с элементами векторов  $q^{t+}$  и  $q^{t-}$ . Наконец, при наличии единичного сигнала “Конец” с выходов памяти рангов ПР считывается вектор подстановки  $v_j$ , который поступает на выходной селектор кодов ВСК. В ВСК реализуется выборка (формирование) элементов  $x_i^N$  результирующего вектора  $x^N$  из элементов входного вектора  $x$  по адресу вектора подстановки  $v_j$ , которую представляют вектор-столбцы матрицы весов  $G^N$  ( $v_{ij} = g_{ij}^N$ ) вида

$$x_i^N \leftarrow v_j \quad x, \quad (6)$$

где  $v_j = \overline{g_{ij}^N}$ ;  $i, j = \overline{1, m}, i \neq j$ .

Благодаря прогрессу в развитии оптических технологий, которые объединяются с микроэлектронными технологиями, и достижениям в области элементной базы фотоники (полупроводниковые лазеры, оптические волноводы, голографические решетки, модуляторы света, фотодетекторы и т.д.) появились уникальные возможности для создания специальных оптоэлектронных устройств обработки информации в виде трехмерных (3D) интегральных микросхем. Микросхема в этом случае содержит источники излучения, элементы памяти, модуляторы света, фотодетекторы и другие элементы, объединенные 3D коммуникационной сетью оптических межсоединений [16].

На рис.4 представлена сэндвич-структура (sandwich-structure) как возможный вариант реализации в оптическом диапазоне многоканальной связи между базовыми блоками сортирующей

нейросети (рис.2), а именно, между памятью рангов ПР, селектором кодов СК и коммутатором К.

Если для ПР однозначным является выбор матрицы смарт-пикселей в качестве базовой структуры [11], хотя возможны и другие варианты [18], то для СК необходимо подобрать оптоэлектронную схему векторно-матричного умножителя по виду реализуемой им функции. Известен оптоэлектронный векторно-матричный умножитель для оптоэлектронного нейрокомпьютера [17], который содержит матрицу излучателей, матрицу сферических линз, фотопластинку, матрицу фотоприемников, входной блок кодирования и выходной блок декодирования. Однако наиболее приемлемым для СК с точки зрения практической реализации оказался оптический векторно-матричный умножитель [16], который содержит источники света, элементы памяти, модуляторы света, фотодетекторы и другие элементы, объединенные 3-D оптическими межсоединениями.

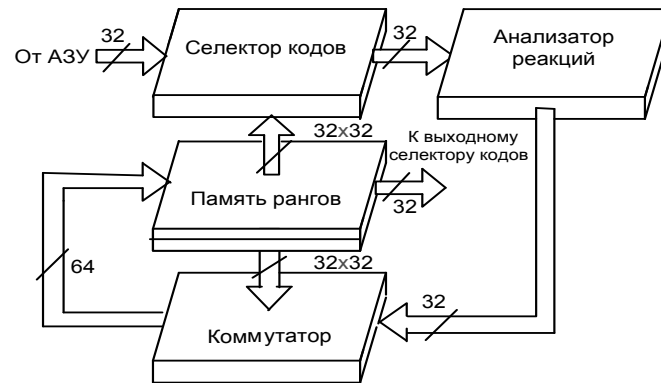


Рис. 4. Сэндвич-структура для сортирующей нейросети

Таким образом, главной трудностью при практической реализации предложенной сортирующей нейросети является передача параллельно между ее основными блоками матрицы весов  $G^t$ , размерностью  $m \times m = 32 \times 32$  элементов. Для решения этой задачи нет альтернативы оптическим методам передачи данных, а для построения памяти рангов ПР предлагается использовать сэндвич-структуру, т.е. послойное (двухслойное) расположение матриц смарт-пикселей с выдачей (дублированием) матриц данных в двух противоположных направлениях, чтобы избежать разделения одного потока матричных данных на два идентичных, но противоположных потока.

Исследования показали, что наиболее подходящим по функциональным возможностям для реализации коммутатора К также является векторно-матричный умножитель [16]. Таким образом, используя схему оптического векторно-матричного умножителя и структуру матрицы смарт-пикселей можно создать сэндвич-структуру, в которой объединяются оптические элементы с оптическими связями между ними и схемы, с которыми они связаны электрически (рис.4). Здесь селектор кодов, коммутатор и память рангов построены на оптических и оптоэлектронных элементах. Благодаря оптическим связям между ними, передача сигналов происходит параллельно, что повышает быстродействие нейросети и увеличивает компактность ее реализации.

Для эффективной работы представленной сэндвич-структуры необходимо согласовать параметры векторно-матричных умножителей, на которых построены селектор кодов и коммутатор, и матрицы смарт-пикселей, которая является блоком памяти рангов. Наилучшим вариантом является использование матрицы смарт-пикселей размерностью  $32 \times 32$ , которая выполняется методом молекулярно-пучковой эпитаксии (МВЕ), с матричной адресацией (МА). Согласования проводятся по таким параметрам, как длина волны излучения, максимальная мощность лазера и дифференциальная квантовая эффективность.

Дифференциальная квантовая эффективность векторно-матричного умножителя по данным [16] равна 30%. Соответствующий параметр матрицы смарт-пикселей, полученный экспериментальным путем [11], составляет 22%. Это значение отличается от теоретической квантовой эффективности векторно-матричного умножителя на незначительную величину и потому не приведет к ухудшению работы описанной сэндвич-структуры. Второй параметр, по которому проводится согласование описанных выше блоков, является длина волны излучения, которая как для векторно-матричного умножителя, так и для матрицы смарт-пикселей составляет 0,85 мкм.

Максимальная мощность лазера в матрице смарт-пикселей составляет 4,2 мВт, а общая рассеиваемая

мощность векторно-матричного умножителя составляет 2 Вт. Такая разница не приведет к изменению работы устройства в целом, тем не менее может привести к значительному нагреву структуры и затратам электроэнергии. Кроме того, в векторно-матричном умножителе так же, как и в матрице смарт-пикселей используется матричная адресация. В табл.1 приведен сравнительный анализ известной сортирующей нейросети [4] и нейросети, предложенной в данной работе.

Таблица 1.

**Сравнительный анализ сортирующих нейросетей**

Показатели	Сортирующая нейросеть	Предложенная сортирующая нейросеть
Временная сложность процесса сортировки	$T=4p$ , где $p$ -время срабатывания порогового элемента. Стационарное состояние нейросети достигается за один такт.	Время сходимости равно $O(m)$ , где $m$ - размерность массива чисел.
Аппаратные затраты	Нейрочип имеет трехмерную организацию и содержит $n^2$ компараторов, $n^2$ фотоприемников, $n^2$ электронных пороговых элементов и два тонкопленочных электрооптических слоя с пороговыми модуляционными характеристиками, которые представляют $n^2$ ячеек (каналов).	Две оптоэлектронные ИС с матрицей смарт- пикселей, две 3-D оптические ИС, ПЛИС, оптоэлектронное ФМ АЗУ.
Элементная база	Матрица в виде многослойной трехмерной структуры из последовательно нанесенных тонкопленочных электрооптических слоев, совмещенных со слоями прозрачных электродов, и матрица фотоприемников со встроенной сетью цепей управления.	Матрица смарт- пикселей с высокими коммутационными возможностями, изготовленная по технологии “жидкий кристалл на кремнии” (оптоэлектронная ИС), оптический векторно-матричный умножитель с тонкопленочным ПМВС с памятью, интегрально-оптическими разделителями и интеграторами света (3-D оптическая ИС).
Характеристики элементной базы	Размерность фотоприемной матрицы - $256 \times 256$ элементов, тактовая частота многослойной электрооптической структуры - $10^6$ 1/с, производительность нейрочипа $10^8 - 10^9$ оп./с. Тонкопленочный модулятор реализован на электрооптическом материале - ниобате бария- стронция.	Матрица смарт - пикселей: количество оптических входов / выходов более $10^5$ , функциональная сложность -менее 50 транзисторов на канале и производительность- 100 Мбит/с. Минимальный размер светоклапанного элемента ПМВС - $5 \times 10$ мкм, максимальная длина оптического пути $\sim 7$ см <sup>2</sup> , время распространения света- 0,5нс, время обработки входного слова $\sim 1$ нс, мощность, которая рассеивается при выборке кодов $\sim 2$ Вт.

Для предложенной сортирующей нейросети с организацией в виде сэндвич-структуры общее время сортировки можно определить следующим образом:

$$T_C = (T_{CЧ} + T_{ОБ} + T_{РАН}) \cdot N + T_{ВСЧ}, \quad (7)$$

где  $T_{СЧ}$ ,  $T_{ОБ}$ ,  $T_{РАН}$  – время, которое затрачивается соответственно на считывание слов из АЗУ, обработку чисел в АР и ранжирование в ПР,  $T_{ВСЧ}$  – время считывания результата;  $N$  – количество циклов сортировки.

С учетом приведенных схем основных блоков сортирующей нейросети, а также особенностей их функционирования и технологической реализации в виде конкретных ИС, можно записать следующие соотношения:

$$T_{СЧ} = n \cdot t_{ВЫБ}, \quad (8)$$

где  $t_{ВЫБ}$  – время выборки (считывания) слайза 32-х слов из АЗУ [13],  $n$  – разрядность слов;

$$T_{ОБ} = (t_{КОМ} + t_{АН}) \cdot n, \quad (9)$$

где  $t_{КОМ}$  – время коммутации слов в СК;  $t_{АН}$  – время анализа слайза в АР;

$$T_{РАН} = t'_{КОМ} + t_{РАН}, \quad (10)$$

где  $t'_{КОМ}$  – время коммутации текущего вектора связи в коммутаторе К;  $t_{РАН}$  – время изменения рангов в ПР;

$$T_{ВСЧ} = m \cdot t''_{КОМ}, \quad (11)$$

где  $t''_{КОМ}$  – время коммутации элемента отсортированного вектора чисел;  $m$  – размерность входного вектора чисел.

Для блока СК и коммутатора К, которые реализуются на двух оптических ИС [16], время коммутации равно  $t_{КОМ} = t'_{КОМ} = 1$  нс. Принимая во внимание, что блок ВСК планируется выполнить на программируемой логической ИС (ПЛИС), примем в качестве базовой максимальную задержку  $\tau$  при формировании выходного сигнала для ПЛИС FLEX 10K10-3 [19,20], как наиболее вероятного варианта реализации [9]. Эта величина приблизительно составит  $\tau = 50$  нс [20,21], т.е.  $t''_{КОМ} = 50$  нс.

Время выборки  $t_{ВЫБ}$  определяется конструктивными и технологическими особенностями ФМ АЗУ [13] и равно  $t_{ВЫБ} = 0,5$  мкс. Поскольку блок АР также планируется разместить в ПЛИС, то время анализа в АР примем таким:  $t_{АН} = 50$  нс.

Из работы [11] известна коммерчески доступная матрица смарт-пикселей в виде оптоэлектронной высокоскоростной СБИС. Она состоит из 16 модулей, каждый из которых, в свою очередь, включает в себя 16 мультиплексоров с 16 оптическими входами и одним выходом и содержит 4096 оптических детекторов, 256 оптических модуляторов и более 140 тыс. транзисторов. Схема была испытана при скорости поступления данных в канал 400 Мб/с, разброс временной задержки в пределах чипа не превышал 400 пс, размер чипа составлял  $7 \times 7$  мм. Таким образом, время обработки рангов в ПР можно принять в пределах  $t_{РАН} \approx 1$  нс.

Поскольку исследования показали, что для любого метода сортировки можно определить наиболее точно максимальный временной параметр, например, максимальное количество циклов  $N_{\max}$ , то рассчитаем максимальное время  $T_C^{\max}$  сортировки для предложенной сортирующей сети по формуле (7). При этом, ориентируясь на размерность ФМ АЗУ, примем, что  $m=32$  слова,  $n=8$  бит, а  $N_{\max}=31$ .

Тогда

$$T_C^{\max} = (T_{CЧ} + T_{ОБ} + T_{РАН}) \cdot N_{\max} + T_{ВСЧ} \cdot \quad (12)$$

В табл.2 приведены расчетные данные для всех составляющих формулы (12) при вариациях переменных:  $m=32$  слов,  $m=1000$  слов;  $n=8$  бит,  $n=32$  бита.

Анализ расчетных данных из табл. 2 показывает, что основной вклад во временные затраты на сортировку в предложенной сортирующей нейросети вносят временные затраты на считывание слов из АЗУ ( $T_{CЧ}$ ) и считывание результата ( $T_{ВСЧ}$ ). Если величина  $T_{CЧ}$  определяется незначительным быстродействием ФМ АЗУ (0,5мкс) и разрядностью  $n$  слов, то величина  $T_{ВСЧ}$  зависит от размерности  $m$  входного вектора чисел при реальном быстродействии ПЛИС (50 нс).

Таблица 2.

Данные для расчета быстродействия сортирующей нейросети

Характеристики	Величина			
	m=32		m=1000	
	n=8	n=32	n=8	n=32
Время $T_{CЧ}$ считывания слов из АЗУ, мкс	4	16	4	16
Время $T_{ОБ}$ обработки чисел в АР, мкс	0,408	1.632	0.408	1.632
Время $T_{РАН}$ ранжирования в ПР, мкс	0,002	0.002	0.002	0.002
Время $T_{ВСЧ}$ считывания результата, мкс	1.6	1.6	50	50
Максимальное время $T_C^{\max}$ сортировки, мс	≈ 0.14	≈ 0.55	≈ 4.5	≈ 17.7

Расчеты показывают, что даже при относительно медленнодействующем ФМ АЗУ при значительных размерностях входных массивов чисел ( $m=1000$  слов,  $n=32$  бит) предложенная сортирующая нейросеть будет работать в реальном времени (миллисекундный диапазон) и может быть использована как спецпроцессор, значительно ускоряющий процесс обработки больших массивов чисел. Примером использования разработанной сортирующей нейросети может быть оптический спецпроцессор для поиска данных в голографическом ЗУ [12,14].

### ВЫВОДЫ

1. Для реализации такой сложной процедуры как сортировка (упорядоченная выборка) элементов массива чисел необходима сортирующая нейросеть со специфической организацией большого количества связей, что предопределяет использование перспективной элементной базы-оптоэлектроники с преимуществами 3D коммуникационных сетей оптических межсоединений. Это позволяет упростить передачу сигналов в любую точку интегральной схемы как через свободное пространство, так и через волноводы. Кроме того, оптические разъемы обеспечивают значительно более высокую плотность размещения контактных площадок.

2. Вычислительная сложность известной сортирующей нейросети равна одному такту, а для предложенной нейросети эта величина пропорциональна количеству элементов массива  $m$ . Соответственно, аппаратные затраты известной сортирующей нейросети большие, так как она содержит  $n^2$  компараторов,  $n^2$  фотоприемников и т.д., а это свидетельствует о большем энергопотреблении по сравнению с предложенной сортирующей нейросетью, которая содержит оптоэлектронное ассоциативное ЗУ, две оптоэлектронные ИС (память рангов) и две оптические ИС (селектор кодов и коммутатор), а также ПЛИС для узлов управления и коммутации.

3. В предложенной нейросети используются новые технологии в виде матриц смарт-пикселей с



высокими коммутационными возможностями за счет использования матрицы ВИЛ (вертикально излучающих лазеров) с высокой пропускной способностью в отличие от элементной базы известной сортирующей нейросети.

4. Расчет быстродействия сортирующей нейросети с учетом быстродействия оптоэлектронных и оптических ИС для ее базовых блоков показал, что сортировка больших массивов чисел (размерность массива 32-1000 слов, размерность чисел 8-32 бит) выполняется в реальном времени (миллисекундный диапазон). Это позволяет использовать предложенный вариант оптоэлектронной сортирующей нейросети как спецпроцессор в системах для обработки сигналов и изображений в реальном времени.

#### СПИСОК ЛІТЕРАТУРИ

1. Кнут Д. Э. Искусство программирования. Т.3. Сортировка и поиск / Д.Э. Кнут: пер. с англ.- 2-е изд.- М.: Издательский дом "Вильямс", 2003.- 832с.
2. Тербер К.Дж. Архитектура высокопроизводительных вычислительных систем / К.Дж. Тербер: пер. с англ.- М.: Наука. Гл. ред. физ.-мат. лит.-ры, 1985.-272 с.
3. Кохонен Т. Ассоциативные запоминающие устройства / Т. Кохонен: пер. с англ.- М.: Мир, 1982.- 384 с.
4. Григорьев В.Р. Нейросетевая организация алгоритмов сортировки на трехмерном оптическом нейрочипе/ В.Р. Григорьев, С.П. Наумов // Автометрия.- 1993.- № 3.- С.28-37.
5. Комарова Л.Г. Нейрокомпьютеры: учеб. пособие для вузов/ Л.Г. Комарова, А.В. Максимов.-М.: Изд-во МГТУ им. Н.Э. Баумана, 2002.-320 с.
6. Круглов В.В. Искусственные нейронные сети. Теория и практика/ В.В. Круглов, В.В. Борисов.- М.: Горячая линия- Телеком, 2002.-382с.
7. Мохамед Салем Нассер Мохамед. Нейромережна організація сортування масивів даних : автореф. дис. на здобуття наук. ступеня канд. техн. наук: спец. 05.13.05 "Комп'ютерні системи та компоненти" / Мохамед Салем Нассер Мохамед.- Вінниця, 2009.-20с.
8. Мартынюк Т.Б. Организация ассоциативного процессора с поразрядно-последовательной обработкой информации / Т.Б. Мартынюк // Электронное моделирование.- 1996.- №3, т. 18.- С.28-31.
9. Мартынюк Т.Б. Ассоциативный процессор для сортировки массива чисел/ Т.Б. Мартынюк, М.М. Аль-Хияри, В.П. Майданюк, Ш.М. Хилесь// Вимірювальна та обчислювальна техніка в технологічних процесах.- 2004.- №1.- С.107-109.
10. Мартинюк Т.Б. Нейромережевий підхід до сортування числового масиву/ Т.Б.Мартинюк, А.Г.Буда, В.В. Власійчук, Мохамед Салем Нассер Мохамед //Збірник наукових праць Одеського ордену Леніна інституту Сухопутних військ .-Вип.13.- Одеса: ООЛІСВ, 2007.-С.97-100.
11. Захаров С.М. Оптоэлектронные интегральные схемы с применением полупроводниковых вертикально излучающих лазеров / С.М. Захаров, В.Б. Федоров, В.В. Цветков // Квантовая электроника.- 1999.-28, №3.- С.189- 206.
12. Гибин И.С. Ассоциативная выборка информации в голограммных запоминающих устройствах/ И.С. Гибин, М.А. Гофман, Е.Ф. Пен, П.Е. Тведохлеб // Автометрия.- 1973.- №5.- С.12-18.
13. Коняев С.И. Фотоматричное ассоциативное запоминающее устройство/ С.И. Коняев // Электронная промышленность.- 1988.- Вып. 4, № 172.- С. 89-90.
14. Козик В.И. Оптическая система для параллельной обработки данных в голографическом ЗУ/ В.И. Козик, С.В. Михлеев // Автометрия.- 1990.- № 3.- С.17-24.
15. Бурцев В.С. Ассоциативная память для систем управления базами данных и вычислительных машин с нетрадиционной архитектурой/ В.С. Бурцев, В.Б. Федоров // Радиотехника.- 1992.- № 7-8.- С. 79-89.
16. Козик В.И. 3-D оптические интегральные схемы ассоциативной памяти / В.И. Козик, П.Е. Твердохлеб // Автометрия.- 1993.- №3.- С.44- 52.
17. Резник А.М. Оптоэлектронный нейрокомпьютер/ А.М. Резник, М.Э. Куссуль// Управляющие системы и машины.- 1993.- №5.- С.6-12.
18. Суприган В.А. Схемотехнічні засоби побудови оптоелектронних інтегральних схем обробки зображень: автореф. дис. на здобуття наук. ступеня канд.техн. наук: спец. 05.13.05 "Елементи та пристрої обчислювальної техніки та систем керування" / В.А. Суприган.- Вінниця, 2000.-20 с.
19. Антонов А.П. Обзор элементной базы фирмы Altera/ А.П. Антонов, В.Ф. Мелехин, Ф.С. Филиппов.- СПб.: ЭФО, 1997.- 142 с.
20. Стешенко В.Б. ПЛИС фирмы Altera: проектирование устройств обработки сигналов / В.Б. Стешенко.- М.: Додека, 2000.- 128 с.
21. Мартинюк Т.Б. Системні структури для багатооперандної обробки векторних даних / Т.Б. Мартинюк, А.В. Кожем'яко.- Вінниця: УНІВЕРСУМ-Вінниця, 2008.- 116 с.

Надійшла до редакції 20.05.2009р.

**ОСИНСКИЙ В. И.** – д.т.н., профессор, директор Центра оптоэлектронных технологий, НИИ микроприборов НАН Украины, Киев.

**МАРТЫНЮК Т. Б.** – к.т.н., доцент кафедры лазерной и оптоэлектронной техники, Винницкий национальный технический университет, Винница, Украина.

**КОЗЛОВ АЛЕКСЕЙ АЛЕКСЕЕВИЧ** – магистр кафедры лазерной и оптоэлектронной техники, Винницкий национальный технический университет, Винница, Украина.

**МОХАМЕД САЛЕМ НАССЕР МОХАМЕД** – аспирант кафедры лазерной и оптоэлектронной техники, Винницкий национальный технический университет, Винница, Украина.