
СИСТЕМИ ТЕХНІЧНОГО ЗОРУ І ШТУЧНОГО ІНТЕЛЕКТУ З ОБРОБКОЮ ТА РОЗПІЗНАВАННЯМ ЗОБРАЖЕНЬ

УДК 004.032.26

О.К. КОЛЕСНИЦЬКИЙ, В.П. КОЖЕМ'ЯКО, І.В. БОКОЦЕЙ, І.В. РЯБЧУК

АПАРАТНА РЕАЛІЗАЦІЯ ЛОГІКО-ЧАСОВОГО НЕЙРОЕЛЕМЕНТА

*Вінницький національний технічний університет,
21021, вул. Хмельницьке шосе, 95, м. Вінниця, Україна,
E-mail: okk_vin@mail.ru*

Анотація. Розроблено варіант апаратної реалізації логіко-часового нейроелемента, в якому інформація представляється тривалостями часових інтервалів. Він відрізняється від відомих нейроелементів, де інформація представляється цифровими кодами, меншими апаратними витратами при реалізації на цифровій елементній базі ПЛІС. У випадку реалізації на оптоелектронній елементній базі (інтегрально-оптичних бреггівських хвилеводних перемикачів) розроблений нейроелемент має і більшу швидкодію. Також розроблений нейроелемент має розширені функціональні можливості за рахунок наявності в ньому залежності «сила-тривалість».

Анотация. Разработан вариант аппаратной реализации логико-временного нейроэлемента, в котором информация представляется длительностями временных интервалов. Он отличается от известных нейроэлементов, где информация представляется цифровыми кодами, меньшими аппаратными затратами при реализации на цифровой элементной базе ПЛИС. В случае реализации на оптоэлектронной элементной базе (интегрально-оптических брегговских волноводных переключателях) разработанный нейроэлемент имеет и большее быстродействие. Также разработанный нейроэлемент имеет расширенные функциональные возможности за счет наличия в нем зависимости «сила-длительность».

Abstract. The variant of logic-time neuroelement's hardware implementation is developed. In this neuroelement information appears by durations of time intervals. It differs from known neuroelements, where information appears by digital codes, by smaller hardware expenses at realization on the digital elementary basis of PLD. In the case of realization on an optoelectronic elementary basis (integral-optical Bragg's waveguide switches) developed neuroelement has additionally the greater fast-acting. Also developed neuroelement has the extended functional possibilities due to a presence in it the dependence «force-duration».

Ключові слова: нейроелемент, нейронна мережа, апаратна реалізація, логіко-часові середовища, часові інтервали, оптоелектроніка, бреггівські хвилеводи.

ВСТУП

Останнім часом штучні нейронні мережі (ШНМ) все частіше використовують в системах штучного інтелекту для розпізнавання складних динамічних образів, прогнозування багатопараметричних процесів, підтримки прийняття рішень в складних системах управління за умов невизначеності та при розв'язанні інших складних когнітивних задач, де традиційні комп'ютерні системи, що працюють за чіткими алгоритмами та програмами виявляються неефективними [1, 2]. Однак, поки що більшість практичних застосувань нейромережових систем реалізується програмно (у вигляді комп'ютерних моделей) або програмно-апаратно (у вигляді спеціальних плат у складі традиційних комп'ютерів та програмного забезпечення для них) [1, 2]. Програмні та програмно-апаратні реалізації ШНМ характеризуються невеликою кількістю нейронів і використовують доволі спрощені моделі біологічних нейронів (не відтворюється велика кількість функцій нейрона), що не дозволяє досліджувати та моделювати за їх допомогою принципи роботи мозку людини для використання отриманих знань при

створенні систем штучного інтелекту. Саме тому актуальною задачею є створення апаратних реалізацій нейроелементів, які відтворювали б якомога більше функцій біологічного нейрона та були б при цьому максимально простими апаратно.

ПОСТАНОВКА ЗАДАЧІ

Відомі [3, 4] багаторозрядні цифрові нейроелементи мають високу цифрову точність, широкі функціональні можливості, але їх недоліком є великі апаратні витрати. Зберегти майже цифрову точність і багату функціональність, але за рахунок менших апаратних витрат можна шляхом переходу на логіко-часові нейроелементи, в яких інформація представляється тривалістю часового інтервалу, а не цифровими кодами. Як показано в [3], у науково-технічній літературі не було знайдено відомостей про використання часових інтервалів для кодування інформації, що передається в нейронній мережі.

Мета цієї статті – висвітлити запропоновану авторами апаратну реалізацію логіко-часового нейроелемента, який має менші апаратні витрати ніж відомі [3, 4] багаторозрядні цифрові нейроелементи.

ЛОГІКО-ЧАСОВА МОДЕЛЬ НЕЙРОНА

Як відомо, спрощено нейронну мережу можна розглядати як глобально зв'язану мережу примітивних процесорів. Тут спостерігається деяка аналогія з логіко-часовими середовищами [5], де основним елементарним процесором є квантрон – багатофункційний елемент пам'яті аналогово-цифрового типу із зовнішньою індикацією станів. Наявність керованих оптичних інформаційних входів і оптичного виходу підвищує комунікабельність квантрона в порівнянні з аналогічними електронними елементами. Оптичні канали зв'язку забезпечують міжелементну гальванічну розв'язку, спрощують організацію міжрозрядних зв'язків. Схемотехнічно квантрон простіший ніж електронний статичний елемент пам'яті. За споживаною потужністю квантрон економічніший, ніж потенційні тригери, оскільки в нульовому стані практично не споживає енергії. За швидкодією його можна порівняти з елементами пам'яті, побудованими на елементах серії ТТЛ.

Нейромережі можна розглядати як глобально зв'язану мережу примітивних процесорів-нейронів. Кожний нейрон обчислює певну суму сигналів, які надійшли до нього синапсами та виконує над нею нелінійне перетворення. Під час пересилання по синапсах сигнали перемножуються на деякий ваговий коефіцієнт.

При моделюванні нейрона метою є адекватне відтворення його основних функцій, а саме – просторово-часового підсумовування вхідних сигналів і порівняння з порогом зваженої суми, як функції активації. При цьому виникає задача суміщення операції паралельного підсумовування і порівняння з порогом. Для цього пропонується скористатись відомим принципом паралельного підсумовування групи часових інтервалів [6].

Логіко-часову модель нейрона, запропоновану в [7], наведено на рис. 1:

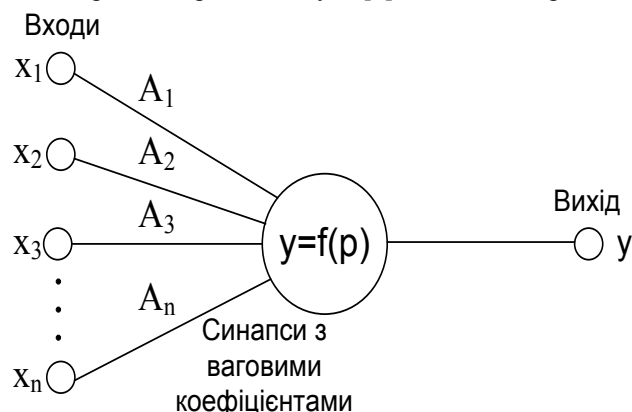


Рис.1. Логіко-часова модель нейрона

Вихідний сигнал логіко-часової моделі нейрона оцінюється як

$$y = f\left(\sum_{i=1}^n w_i x_i\right), \quad (1)$$

де W_i - деякий ваговий коефіцієнт, що може змінювати значимість під час пересилання інформації по синапсах; x_i - вхідні сигнали; f - функція активації.

Якщо припустити, що по синапсах проходить сигнал, що модулюється за довжиною імпульсу (за часом), тобто логіко-часова функція, тоді вираз (1) матиме такий вид як у відомому способі паралельної обробки інформації [6]

$$y = f\left(\sum_{i=1}^n T_i x_i\right), \quad (2)$$

де T_i - час або тривалість імпульсу в кожному i -му синапсі.

Структурно-функціональна схема логіко-часової моделі нейрона представлена на рис. 2.

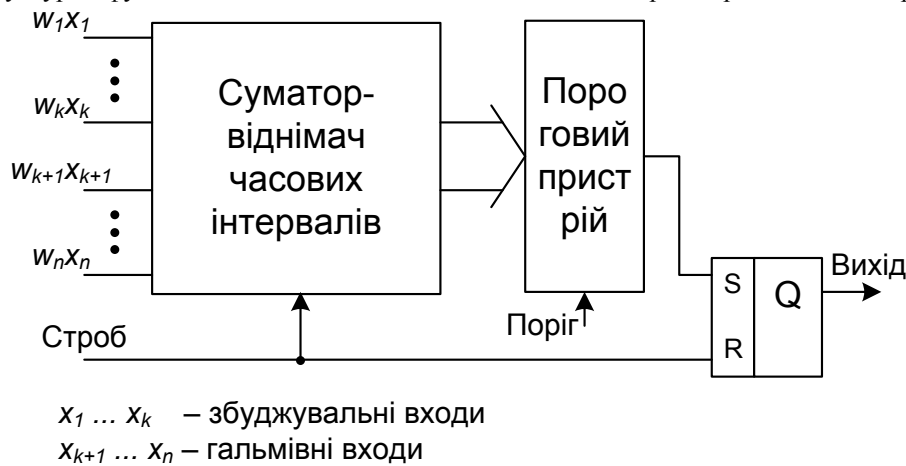


Рис.2. Структурна схема реалізації логіко-часової моделі нейрона

Як бачимо, вона містить суматор-віднімач часових інтервалів (паралельний), який накопичує (інтегрує) суму часових інтервалів, що приходять на збуджувальні входи, з урахуванням одночасного віднімання суми часових інтервалів, що надходять на гальмівні входи:

$$S = \int_{t_0}^T \left(\sum_{i=1}^k w_i x_i(t) - \sum_{j=k+1}^n w_j x_j(t) \right) dt, \quad (3)$$

де t_0 - початок поточного періоду роботи пристрою, T - тривалість періоду роботи пристрою, k - кількість збуджувальних вхідних часових інтервалів $x_i(t)$ ($i=1 \dots k$), $(n-k)$ - кількість гальмівних вхідних часових інтервалів $x_j(t)$ ($j=(k+1) \dots n$).

На виході суматора-віднімача часових інтервалів отримується двійковий код числа $[S/\Delta t]_2$ (S знаходиться по (3)), а Δt - період тактових імпульсів суматора-віднімача), який потрапляє на вхід порогового пристрою з входом задання порогу. Як пороговий пристрій може використовуватись звичайний цифровий компаратор. Вихідний сигнал порогового пристрою змінюється з «нуля» на «одиницю» в момент t_0+t_y , досягнення сумою часових інтервалів порогового значення. Момент часу t_y знаходиться як корінь такого рівняння

$$\int_{t_0}^{t_y} \left(\sum_{i=1}^k w_i x_i(t) - \sum_{j=k+1}^n w_j x_j(t) \right) dt = \Pi, \quad (4)$$

де Π - поріг спрацьовування нейрону.

Цей одиничний сигнал $h(t_0+t_y)$ встановлює RS-тригер в «одиницю» - початок вихідного часового інтервалу $y(t)$ нейрона, а сигнал «Строб» (див. рис. 2) скидає потім RS-тригер в нуль - кінець вихідного часового інтервалу нейрона. Період сигналу «Строб» задає тривалість T періоду роботи логіко-часової нейронної мережі. Тривалість $T_{\text{вих}}$ вихідного часового інтервалу $y(t)$ нейрона визначається за формулою

$T_{\text{вих}} = T - t_y$, де t_y знаходиться за (4). Тривалість періоду T роботи пристрою визначається максимальним значенням сигналу збудження (нехай $\max(x_i(t)) = 2^m$) та максимальною затримкою Δt сигналу в логічній схемі суматора-віднімача (максимальна затримка Δt в свою чергу залежить від кількості входів n):

$$T = 2^m \cdot \Delta t. \quad (5)$$

Часова діаграма, що пояснює роботу логіко-часової моделі нейрона на прикладі двох збуджувальних (x_1 та x_2) та двох гальмівних (x_3 та x_4) входних сигналів наведено на рис. 3.

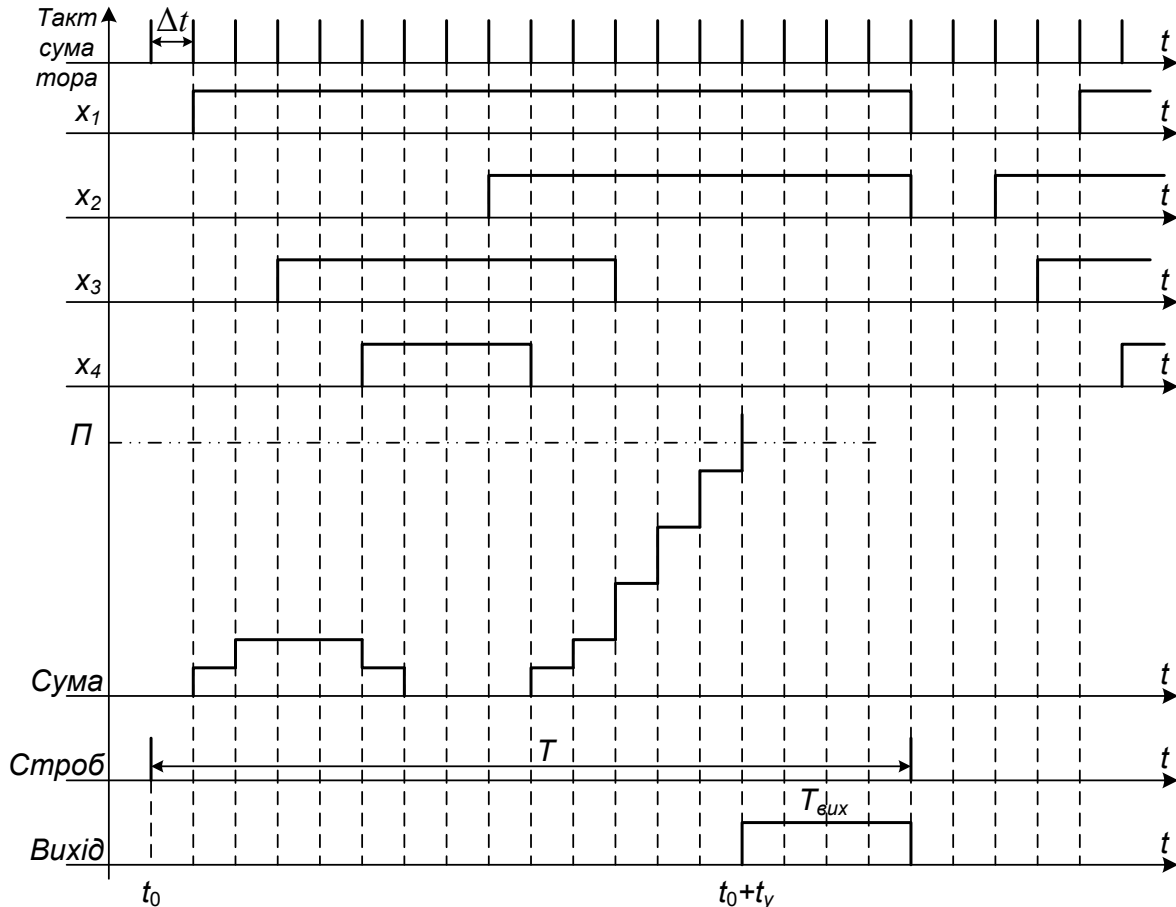


Рис.3. Часова діаграма роботи логіко-часової моделі нейрона

Як видно із рис. 3, суматор часових інтервалів повинен додавати часові інтервали, які не обов'язково починаються в один і той самий момент часу. Це суттєва вимога, оскільки відомі [5, 6] суматори часових інтервалів працюють саме з тривалостями імпульсів, що мають спільний початок.

АПАРАТНА РЕАЛІЗАЦІЯ ЛОГІКО-ЧАСОВОЇ МОДЕЛІ НЕЙРОНА.

Для апаратної реалізації структурної схеми логіко-часової моделі нейрона (див. рис. 2), розроблено схему логіко-часового нейроелемента (рис. 4). В цій схемі до складу суматора-віднімача 1 часових інтервалів входять: кільцевий лічильник у вигляді матриці 2 логічних перемикачів та D-тригерів $3_1 \dots 3_{k+1}$, логічні елементи АБО 4 та 5, які формують відповідно сигнали переносу та займу кільцевого лічильника, реверсивний лічильник 6, шифратор 7, генератор тактових імпульсів (ГТІ), формувач сигналу строб, період якого дорівнює T , елемент АБО 8. Цифровий компаратор 9 виконує функцію порогового пристрою (див. рис. 2), на R-S-тригері 10 формується вихідний часовий інтервал $T_{\text{вих}}$, T-тригер 11 разом зі схемою І 12 забороняє формування вихідного часового інтервалу при перевищенні гальмівних сигналів над збуджувальними. Входи $x_1 \dots x_k$ є входами для збуджувальних сигналів, а входи $x_{k+1} \dots x_n$ – входами для гальмівних сигналів. Виходом нейроелемента є вихід логічного елементу І 12. Вхідними та вихідними сигналами нейроелемента є часові інтервали, які задаються тривалістю у часі присутності логічного рівня «1» (наприклад як на рис. 3). Логічний перемикач 13 може бути виконаний у

вигляді логічного елемента І-АБО та інвертора як показано у лівому верхньому куті рис. 4, причому інвертор буде загальним для всіх перемикачів у даному стовпчику.

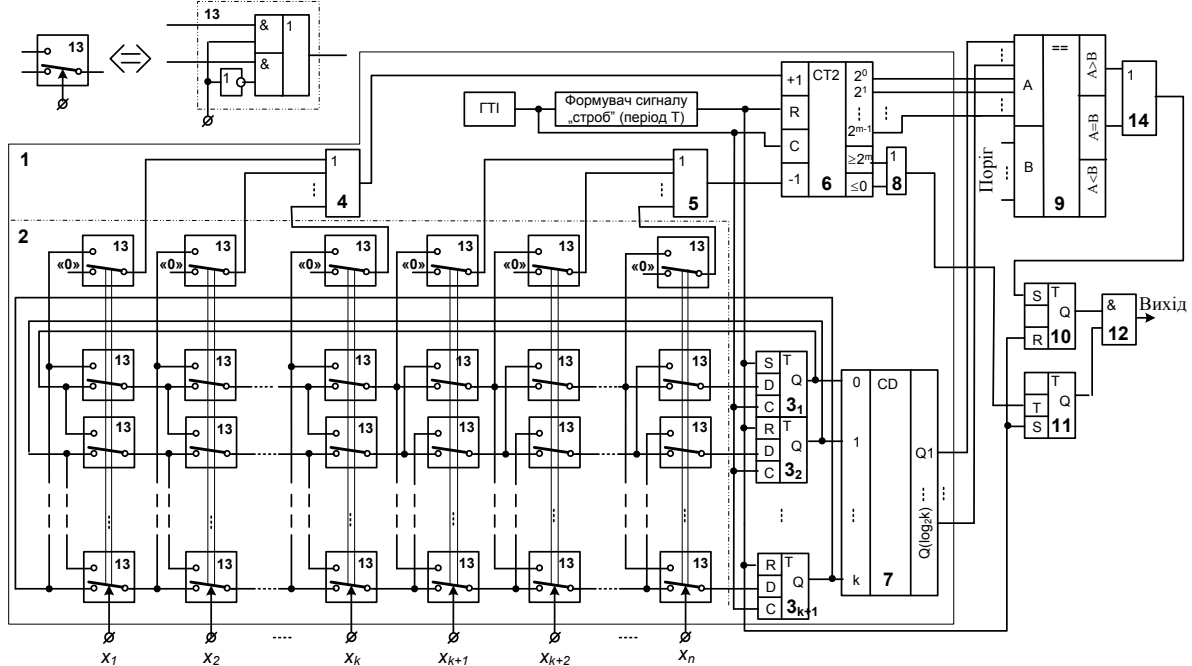


Рис. 4. Схема логіко-часового нейроелемента

Логіко-часовий нейроелемент працює таким чином. По сигналу «строб» обнуляються лічильник 6 і тригер 10, а серед всіх тригерів 3_i тільки самий верхній тригер 3_1 встановлюється в «1», а всі інші – в «0». Цей стан тригерів $3_1 \dots 3_{k+1}$ представляється шифратором 7 як двійковий код числа 0. Взагалі, загальний стан тригерів $3_1 \dots 3_{k+1}$ представляє собою одинично-позиційний код. При відсутності вхідних часових інтервалів на входах $x_1 \dots x_n$ нейроелемента всі перемикачі 13 в матриці 2 замкнені в нижнє положення і на D-вході будь-якого D-тригера 3_i присутній потенціал його виходу, а на виходах елементів АБО 4 і 5 присутній сигнал логічного «0», а тому стани D-тригерів $3_1 \dots 3_{k+1}$ та реверсивного лічильника 6 лишаються незмінними. З появою на якомусь із збуджувальних входів $x_1 \dots x_k$ вхідного часового інтервалу, перемикачі відповідної групи (стовпчика) перемикаються у верхнє по схемі положення і сигнал «1» з виходу D-тригера 3_1 опиняється поданим на вхід D-тригера 3_2 , вихід D-тригера 3_2 подається на вхід D-тригера 3_3 і так далі, а вихід D-тригера 3_{k+1} подається на вхід D-тригера 3_1 і по фронту імпульсу з ГТІ відбувається перемикання D-тригера 3_2 в «1», а всіх інших – в «0». Після (k) тактових імпульсів D-тригер 3_{k+1} опиняється в стані «1», а всі інші D-тригери – в стані «0». Якщо вхідний інтервал ще не закінчився, сигнал «1» з виходу тригера 3_{k+1} поступає на вхід тригера 3_1 , а також через верхній перемикач в цьому стовпчику на елемент АБО 4, а з нього – на вхід «+1» реверсивного лічильника 6 і по фронту імпульсу з ГТІ в лічильник 6 додається одиниця, а тригер 3_1 встановлюється в «1».

Якщо на збуджувальних входах $x_1 \dots x_k$ присутні одночасно 2 вхідних інтервали, то перемикачі двох відповідних їм стовпчиків перемикаються у верхнє положення і здійснюється комутація виходу тригера 3_i (де $i = 1 \dots (k - 1)$) з входом тригера 3_{i+2} , виходу тригера 3_k - з входом тригера 3_1 , виходу тригера 3_{k+1} - з входом тригера 3_2 , і по кожному імпульсу з ГТІ сигнал «1» на виходах тригерів $3_1 \dots 3_{k+1}$ буде зсуватись на 2 позиції, при 3-х вхідних інтервалах – на 3 позиції, і так далі, а в моменти переходу сигналу «1» з виходу тригера з більшим номером на вхід тригера з меншим номером, верхніми перемикачами стовпчиків $1 \dots k$ і елементом АБО 4 формується сигнал переносу, який збільшує на 1 код в лічильнику 6.

Стовпчики логічних перемикачів над гальмівними входами $x_{k+1} \dots x_n$ з'єднані таким чином, що при появі на одному із гальмівних входів $x_{k+1} \dots x_n$ часового інтервалу, перемикачі відповідної групи (стовпчика) перемикаються у верхнє по схемі положення і сигнал «1» з виходу D-тригера 3_{k+1} опиняється поданим на вхід D-тригера 3_k , вихід D-тригера 3_k подається на вхід D-тригера 3_{k-1} і так далі, а вихід D-тригера 3_1 подається на вхід D-тригера 3_{k+1} , тобто по фронту імпульсу з ГТІ відбувається зсув «1» в тригерах $3_1 \dots 3_{k+1}$ на 1 позицію назад. Якщо на гальмівних входах $x_{k+1} \dots x_n$ присутні одночасно декілька вхідних інтервалів, то зсув «1» на виходах тригерів $3_1 \dots 3_{k+1}$ буде відбуватись на ці декілька позицій

назад. В моменти переходу сигналу «1» з виходу тригера з меншим номером на вхід тригера з більшим номером, верхніми перемикачами стовпчиків $k+1 \dots n$ і елементом АБО 5 формується сигнал займу, який зменшує на 1 код в лічильнику 6.

Якщо вхідні часові інтервали присутні і на збуджувальних входах $x_1 \dots x_k$ (наприклад, на l входах, $l \leq k$), і на гальмівних входах (наприклад, на p входах, $p \leq k$), то перемикачі стовпчиків $1 \dots k$ зсувають сигнал «1» з виходів тригерів $3_1 \dots 3_{k+1}$ на l позицій вперед, а перемикачі стовпчиків $(k+1) \dots n$ – на p позицій назад. І, таким чином, по імпульсу з ГТІ відбудеться «додавання» числа $|l-p|$ (якщо $l \geq p$) в кільцевий лічильник, або «віднімання» числа $|l-p|$ (якщо $l \leq p$) із кільцевого лічильника.

Таким чином, в залежності від кількості часових інтервалів на збуджувальних та гальмівних входах нейроелемента, по кожному імпульсу з ГТІ у тригерному регістрі $3_1 \dots 3_{k+1}$, що працює за принципом кільцевого лічильника з одинично-позиційним кодуванням інформації, відбувається паралельний зсув на відповідну кількість позицій (розрядів) в більшу чи меншу сторону, в зв'язку з чим фактично відбувається додавання (накопичення) кількості збуджувальних часових інтервалів та віднімання кількості гальмівних часових інтервалів, які присутні в даний момент на входах нейроелемента. Молодші розряди двійкового коду цієї алгебраїчної суми утворюються на виході шифратора 7, який перетворює одинично-позиційний код з виходу тригерів $3_1 \dots 3_{k+1}$ у двійковий, а старші розряди двійкового коду цієї алгебраїчної суми утворюються на виході реверсивного лічильника 6. Молодші та старші розряди суми часових інтервалів подаються на входи першого операнда (А) схеми порівняння 9, на входи другого операнда (В) якої подається двійковий код порогу П. Тобто по мірі накопичення алгебраїчної суми часових інтервалів, вона порівнюється з порогом і як тільки сума досягне порогу, на виході $A=B$ з'явиться «1» (а потім на виході $A > B$ і буде триматися до кінця періоду T , тому потрібна схема АБО 14), яка встановить тригер 10 в «1» і оскільки на виході тригера 11 є «1» з початку періоду T , то на виході схеми І 12 почне формуватись вихідний часовий інтервал, який закінчиться в кінці періоду T по сигналу «строб», який встановить тригер 10 в «0».

Під час накопичення алгебраїчної суми часових інтервалів, сума гальмівних інтервалів може виявитися більшою за суму збуджувальних інтервалів, тоді код в лічильнику 6 зменшиться до нуля і перейде у «від'ємну» область, в результаті чого сформується сигнал займу (≤ 0) лічильника 6, який встановить тригер 11 в «0», чим заборонить за допомогою схеми І 12 формування вихідного часового інтервалу. Цим забезпечується виконання нейроелементом умови відсутності на виході часового інтервалу при перевищенні суми гальмівних сигналів над сумою збуджувальних сигналів.

Як видно з формули (5), тривалість періоду T роботи нейроелемента (а значить і його швидкодія) визначається з урахуванням кількості входів n , максимальним значенням сигналу збудження (нехай $\max(x_i(t))=2^m$) та тривалістю затримки Δt на одному логічному комутаторі схеми суматора-віднімача часових інтервалів та D-тригері ($2\Delta t$)

$$T = 2^m \cdot (n + 2) \cdot \Delta t. \quad (6)$$

Наприклад, при $n=100$, $2^m=2^4$ і $\Delta t=5$ нс $T=8,16$ мкс. Для відображення максимально можливої суми k збуджувальних часових інтервалів (кожен тривалістю 2^m) потрібно мати $\lceil \log_2(k \cdot 2^m) \rceil = \lceil \log_2 k \rceil + m$ розрядів (дужки $\lceil \rceil$ означають округлення до найближчого більшого цілого). Саме тому шифратор 7 має $\lceil \log_2 k \rceil$, а лічильник 6 має m розрядів.

ПОРІВНЯННЯ НЕЙРОЕЛЕМЕНТІВ.

Порівняння нейроелементів варто проводити за такими показниками: швидкодія, апаратні витрати, точність, наявність функціональної залежності сила-тривалість. Порівняємо розроблений логіко-часовий (ЛЧ) нейроелемент з відомим [4] багаторозрядним цифровим (БРЦ) нейроелементом.

Одним з найбільш відомих та розповсюджених способів оцінювання апаратних витрат обчислювальних засобів є оцінювання складності схем по Квайну [8]. Цей метод використовується в теоретичних розробках, оскільки він дозволяє орієнтуватися на довільну елементну базу. Складність (ціна) схеми по Квайну визначається сумарним числом входів логічних елементів в складі схеми. При такому оцінюванні одиниці складності або одиниці обладнання відповідає один вхід логічного елементу. При цьому ціна інверсного входу звичайно приймається рівній двом.

Складність відомого БРЦ нейроелемента [4] з n входами, на кожен з яких надходять m -розрядні дані (цифрові коди), обчислюється як

$$m \left(\frac{679}{4} \cdot n + \frac{756}{4} \right) = m(170 \cdot n + 189). \quad (7)$$

Складність блоків зміни синаптичних ваг не будемо враховувати при порівнянні, оскільки вони є у всіх типах нейроелементів і їх складність однакова.

ЛЧ нейроелемент (рис. 4) складається з $(n/2+1) \times n$ логічних перемикачів (складність кожного 8), $(n/2+2)$ тригерів (складність кожного 36), n інверторів, лічильника (складність 82 для 4 розрядів), шифратора (складність 95 для 16 входів), компаратора (складність 157 для 4 розрядів), логічних елементів АБО та І (загальна кількість входів $(n+6)$). Складність ЛЧ нейроелемента складатиме:

$$\begin{aligned} & 8 \cdot \left(\frac{n}{2} + 1 \right) \cdot n + 36 \cdot \left(\frac{n}{2} + 2 \right) + n + m \cdot \frac{82}{4} + \frac{95}{16} \cdot \frac{n}{2} + m \cdot \frac{157}{4} + n + 6 = \\ & = 4 \cdot n^2 + 31 \cdot n + 40,5 \cdot m + 78. \end{aligned} \quad (8)$$

Для наочності порівняємо по складності БРЦ нейроелемент [4] та ЛЧ нейроелемент (див. рис. 4) при $m=4$. Графіки складності обох нейроелементів побудовано на рис. 5, звідки видно, що ЛЧ нейроелемент простіший за БРЦ нейроелемент при n до 163. А, наприклад при $m=8$, ЛЧ нейроелемент буде простіший за БРЦ нейроелемент при n до 333.

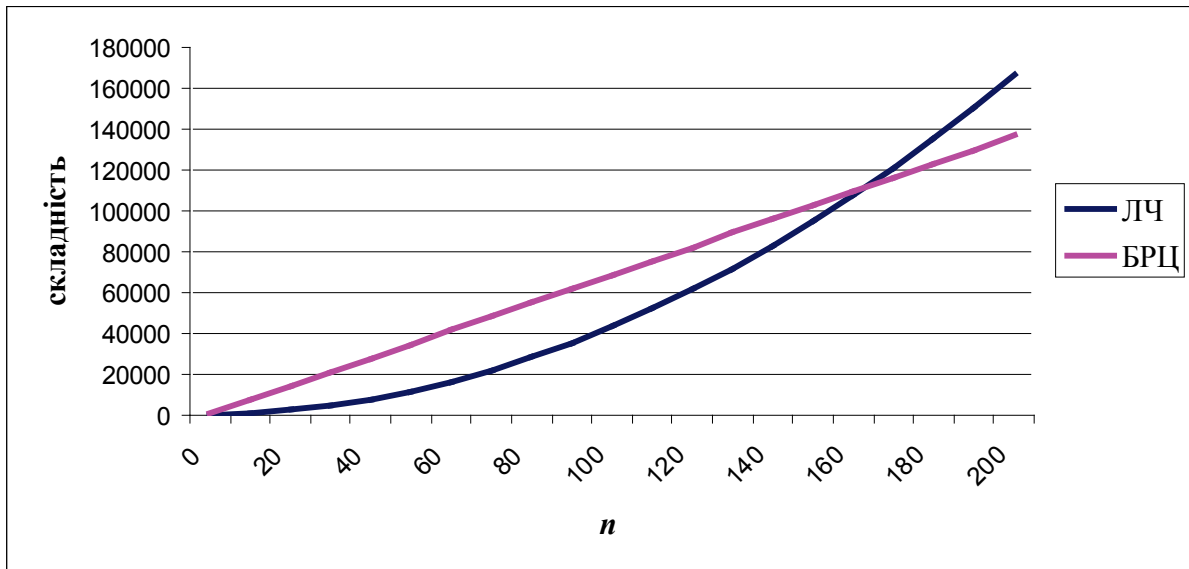


Рис. 5. Графіки складності багаторозрядного цифрового (БРЦ) нейроелемента та логіко-часового (ЛЧ) нейроелемента при $m=4$.

Оцінимо швидкодію БРЦ та ЛЧ нейроелементів. Час підсумовування у БРЦ нейроелементі залежить від розмірності вхідної множини чисел та кількості однакових чисел. За рахунок використання просторово-часового суматора, який працює за методом різницевих зрізів, задіяно всі n операндів, що значно збільшує паралелізм оброблення. Отже, час T_{sm} виконання операції підсумовування можна визначити таким чином:

$$T_{sm} = T_{sm}^j \times N, \quad (9)$$

де T_{sm}^j - час формування часткової суми S_j на j -му етапі; N - кількість етапів оброблення, причому:

$$N = n - \sum_{r=1}^R (m_r - 1), \quad (10)$$

де n - кількість елементів вхідного вектора; R - кількість груп з кількістю m_r однакових чисел; m_r, R - випадкові величини. Максимально можлива кількість етапів оброблення (коли всі n вхідних сигналів

різні) $N_{max} = n$, а мінімально можлива кількість етапів оброблення (коли всі n вхідних сигналів однакові) $N_{min} = 1$. Швидкість оброблення вхідних даних суматора буде залежати від кількості вхідних елементів та кількості однакових елементів. Середня швидкодія БРЦ нейроелемента буде складати $\frac{n}{2} \times T_{sm}^j$, де $T_{sm}^j = (5m + 2)\Delta\tau$ [4], $\Delta\tau$ - час затримки на один логічний елемент. При реалізації БРЦ нейроелемента на елементах ТТЛ логіки з типовим значення $\Delta\tau = 5$ нс [9] при $m=4$ $T_{sm}^j = 110$ нс, а тому середня швидкодія БРЦ нейроелемента буде $T_{БРЦ} = \frac{n}{2}(5m + 2)\Delta\tau$ і при $n=100$ та $m=4$ $T_{БРЦ} = 5,5$ мкс.

Для логіко-часової моделі нейрона швидкодія підраховується згідно (6) і при реалізації (як і БРЦ нейроелемент) на ТТЛ логіці з $\Delta\tau = 5$ нс $T = 2^m \cdot 5(n + 2)$ нс і при $n=100$ та $m=4$ $T = 8,16$ мкс. Для порівняння відомого БРЦ нейроелемента та запропонованого ЛЧ нейроелемента, зведемо їх основні параметри до табл. 1.

Таблиця 1.

Порівняння параметрів БРЦ та ЛЧ нейроелементів

Назва параметру	Багаторозрядний цифровий (БРЦ) нейроелемент	Логіко-часовий (ЛЧ) нейроелемент
Швидкодія	$T_{БРЦ} = \frac{n}{2}(5m + 2)\Delta\tau$ <i>(в середньому)</i> При $n=100, m=4$ і $\Delta\tau = 5$ нс $T_{БРЦ} = 5,5$ мкс	$T = 2^m \cdot (n + 2) \cdot \Delta\tau$ При $n=100, m=4$ і $\Delta\tau = 5$ нс $T = 8,16$ мкс
Апаратна складність (по Квайну)	$m(170 \cdot n + 189)$ 68756 (при $m=4, n=100$)	$4 \cdot n^2 + 31 \cdot n + 40,5 \cdot m + 78.$ 43340 (при $m=4, n=100$)
Точність	Цифрова	Гірша за цифрову, краща за аналогову (визначається похибкою формування та оцифровування часових інтервалів)
Наявність залежності «сила-тривалість»	+	+

Швидкодію ЛЧ нейроелемента можна суттєво підвищити, використовуючи оптоелектронну елементну базу, а саме - як логічні перемикачі застосувати інтегрально-оптичні хвилеводні Бреґівські перемикачі [10], які мають час затримки кілька пікосекунд (загальна швидкодія T буде порядку 10 нс).

Аналіз даних табл. 1 показує, що відомий БРЦ нейроелемент [4] має високу швидкодію та точність, але значну апаратну складність. Розроблений авторами ЛЧ нейроелемент має меншу апаратну складність, але і меншу швидкодію. Крім того, при великій кількості входів складність його зростає скоріше, ніж в БРЦ нейроелемента.

ВИСНОВКИ

Таким чином, розроблено варіант апаратної реалізації логіко-часового нейроелемента, який відрізняється від відомих нейроелементів меншими апаратними витратами та більшою швидкодією у випадку реалізації на оптоелектронній елементній базі (бреґівських хвилеводних перемикачах). Розробники нейромеревих пристроїв можуть обрати за табл. 1 такий нейроелемент для своїх задач, який їм більше підходить. Так, у випадку розробки невеликих нейронних мереж, коли потрібна висока точність моделювання і коштів вистачає на дешеву традиційну елементну базу ТТЛ або ПЛІС, то краще використовувати БРЦ нейроелемент підвищеної швидкодії. Коли ж потрібно будувати нейронні мережі середньої величини та середньої точності моделювання, середньої швидкодії, то менше коштів буде потрібно при виборі логіко-часового нейроелемента на дешевій традиційній елементній базі ТТЛ або ПЛІС. При реалізації ЛЧ нейроелемента на інтегрально-оптичній елементній базі знадобиться більше коштів, але і швидкодія при цьому суттєво зростає. Крім цього, із табл. 1 видно, що обидва нейроелементи мають розширені функціональні можливості за рахунок наявності в них такої важливої властивості

біологічних нейронів, як залежність «сила-тривалість».

ЛИТЕРАТУРА

1. Галушкин А.И. Нейрокомпьютеры. Кн.3: Учебное пособие для вузов / Общая редакция А.И.Галушкина. – М.: ИПРЖР, 2000. – 528с.
2. Бардаченко В. Ф. Таймерні нейронні елементи та структури. Монографія / В. Ф. Бардаченко, О. К. Колесницький, С. А. Василицький. - Вінниця : УНІВЕРСУМ-Вінниця, 2005, 126 с.
3. Колесницький О. К. Пристрої для моделювання нейрона. Аналітичний огляд винаходів та патентів / О. К. Колесницький, І. В. Бокоцей, С. С. Яремчук // Вимірювальна та обчислювальна техніка в технологічних процесах. – 2010. – №2. – С.23-31.
4. Пат. 34466 Україна, МПК G 06 F 7/50. Пристрій для моделювання нейрона / В. П. Кожем'яко, Т. Б. Мартинюк, О. К. Колесницький, І. В. Мороз, О. І. Чечельницький, заявник і власник патенту Вінницьк. нац. технічн. ун-т – № u200803614; заявлено 21.03.08; опубл. 11.08.08, Бюл.№15.
5. Свечников С.В., Кожемяко В.П., Тимченко Л.И. Квазиимпульсно – потенциальные оптоэлектронные элементы и устройства логико – временного типа. – К.: Наукова думка, 1987. – 256 с.
6. А.С. СССР, SU 1119035, МКИ G 06 G 7/14. Способ параллельного сложения группы временных интервалов. В.П. Кожемяко, Л.И. Тимченко, Т.В. Головань, Н.Е. Фурдияк, Т.Б. Мартинюк. - № 3528309/ 18 – 24; Заявл. 24.12.82; Опубл. 15.10.84., Бюл. №38. – 8с.
7. Кожем'яко В. П. Моделі нейронних елементів логіко-часового типу / В.П. Кожем'яко, Т.Б. Мартинюк, І.В. Мороз, А.А. Яровий // Оптико-електронні інформаційно-енергетичні технології. – 2007. – №14. – С.63-71.
8. Майоров С.А. Структура электронных вычислительных машин / С. А. Майоров, Г. И. Новиков. - Л. : Машиностроение, 1979. – 384 с.
9. Цифровые интегральные микросхемы / [П.П.Мальцев и др.]. - М. : Радио и связь. - 1994 - 240 с.
10. Хансперджер Р. Интегральная оптика: теория и технология [перевод с англ.] / Р. Хансперджер. – М. : Мир, 1985. – 384 с.

Надійшла до редакції 17.10.2011р.

КОЛЕСНИЦЬКИЙ ОЛЕГ КОСТЯНТИНОВИЧ – к.т.н., доц., докторант, доцент кафедри комп'ютерних наук, Вінницький національний технічний університет, м.Вінниця, Україна.

КОЖЕМ'ЯКО ВОЛОДИМИР ПРОКОПОВИЧ – д.т.н., проф., завідувач кафедри лазерної та оптоелектронної техніки, Вінницький національний технічний університет, м.Вінниця, Україна.

БОКОЦЕЙ ПРИНА ВІТАЛІВНА - аспірант кафедри комп'ютерних наук, Вінницький національний технічний університет, м. Вінниця, Україна.

РЯБЧУК ІГОР ВІКТОРОВИЧ – магістрант кафедри комп'ютерних наук, Вінницький національний технічний університет, м. Вінниця, Україна.