

УДК 004.032.26

В. П. КОЖЕМ'ЯКО<sup>1</sup>, Т. Б. МАРТИНЮК<sup>1</sup>, А. В. КОЖЕМ'ЯКО<sup>1</sup>, О. С. ВАСИЛЬКІВА<sup>1</sup>,  
О. В. КІТАЙЧИК<sup>1</sup>

## АПАРАТНА РЕАЛІЗАЦІЯ ПЕРСЕПТРОНА ЯК БАЗОВОГО ВУЗЛА НЕЙРОМЕРЕЖ

Вінницький національний технічний університет,  
21021, Хмельницьке шосе, 95, м. Вінниця, Україна

**Анотація:** У статті розглядаються особливості реалізації моделі персеプトрона за рахунок моделювання формального нейрона як з пороговою, так і з лінійною і лінійною з насиченням функціями активації. Запропоновано реалізацію персеプトрона як пристрою для моделювання нейрона.

**Анотация:** В статье рассматриваются особенности реализации модели персеプトрона за счет моделирования формального нейрона как с пороговой, так и с линейной и линейной с насыщением функциями активации. Предложена реализация персеプトрона как устройства для моделирования нейрона.

**Abstract:** The article discusses the features of the model implementation perceptron by modeling formal neuron as a threshold, and linear and linear with saturation activation functions. An implementation of the perceptron as a device to simulate the neuron.

**Ключові слова:** персептон, штучна нейронна мережа, нейрочіп.

### ВСТУП

Прагнучи відтворити функції людського мозку, дослідники створили прості апаратні моделі біологічних нейронів і мереж, які отримали назву персептронів [1, 4]. Саме на персептронах були досягнуті перші вражаючі результати, що стимулювали подальші дослідження, що призвели до створення більш витончених мереж [2, 6]. Персептрон дозволяють створити набір «асоціацій» між вхідними стимулами і необхідною реакцією на виході [10]. У біологічному плані це відповідає перетворенню, наприклад, зорової інформації в фізіологічну відповідь від рухових нейронів [9, 10].

Застосування нейронних мереж є одним з перспективних шляхів для підвищення ефективності систем розпізнавання рухомих цілей у біомедичних дослідженнях, роботизованих системах тощо.

Нейронні мережі на відміну від методів вилучення інформації, що ґрунтуються на вивченні та апріорному завданні моделі процесу або системи, формують її самі в процесі навчання, тобто практично не вимагають апріорних даних про модель [8, 9].

### ПОСТАНОВКА ЗАДАЧІ

Елементною базою нейрообчислювальних систем є замовні кристали (ASIC), вбудовувані мікроконтролери (mC), процесори загального призначення (GPP), програмована логіка (FPGA — ПЛІС), трансп'ютери, цифрові сигнальні процесори (DSP) і нейрочіпи [1, 2, 8, 9]. Використання будь-яких з них дозволяє сьогодні реалізувати нейрообчислювачі, що функціонують в реальному масштабі часу, проте найбільше використання при реалізації нейрообчислювачів знайшли ПЛІС, DSP і, звичайно, нейрочіпи.

Основною елементною базою перспективних нейрообчислювачів є нейрочіпи. Більшість з них на сьогодні орієнтовані на закрите використання (для конкретних спеціалізованих керуючих систем).

За способом подання інформації нейрочіпи можна розділити на цифрові, аналогові та гібридні. За типом реалізації нейроалгоритмів: нейрочіпи з повністю апаратною реалізацією і з програмно-апаратною (коли нейроалгоритми зберігаються в ПЗУ).

За характером реалізації нелінійних перетворень: на нейрочіпи з жорсткою структурою нейронів (апаратно реалізовані) і нейрочіпи з настроюваною структурою нейронів (перепрограмувальні).

За можливостями побудови нейромереж: нейрочіпи з жорсткою і змінною нейромережевою структурою [8, 9].

### СТРУКТУРА І ПРИНЦИП ФУНКЦІОНУВАННЯ ПРИСТРОЮ ДЛЯ МОДЕЛЮВАННЯ НЕЙРОНА

Модель персептона [11] реалізовано у вигляді пристрою для моделювання нейрона (рис. 1), який містить дві групи інформаційних входів  $1_1, \dots, 1_n$  і  $2_1, \dots, 2_n$  пристрою,  $n$  блоків  $3_1, \dots, 3_n$  зміни

синаптичних ваг, установний вхід 4 і керуючі входи 5, 6 пристрою, суматор 7, логічний блок 8, комутатор 9, інформаційний вихід 10 суматора 7, вхід 11 порога, керуючий вхід 12, вихід 13 сигналу «Кінець», вихід 14 результату і вихід 15 результуючого сигналу суматора 7, адресний вхід 16 пристрою.

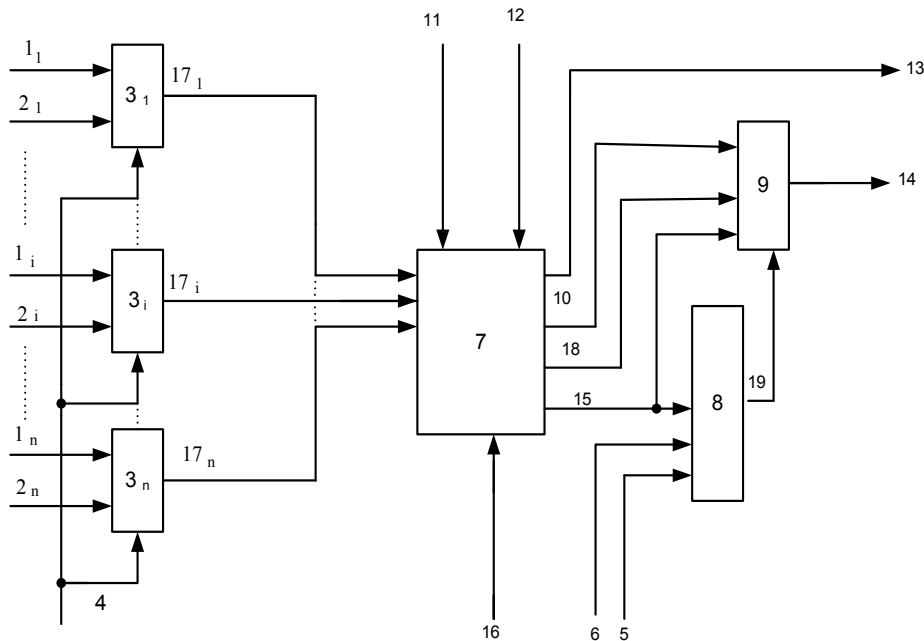


Рис. 1. Структура пристрою для моделювання нейрона

Пристрій для моделювання нейрона (рис. 1) працює таким чином.

У  $n$  блоках  $3_1, \dots, 3_n$  зміни синаптичних ваг виконується формування зважених вхідних сигналів вигляду:

$$a_i = x_i \cdot i, i = \overline{1, n}, \quad (1)$$

де  $x_i, y_i$  — відповідно  $i$ -й вхідний сигнал та  $i$ -та синаптична вага.

Зважені вхідні сигнали  $a_1, \dots, a_n$  з групи виходів  $17_1, \dots, 17_n$  подаються на відповідні входи суматора 7 паралельно, де відбувається їх підсумовування з формуванням часткових сум  $S_j$  з подальшим їх накопиченням у вигляді:

$$S_k = \sum_{j=1}^k S_j. \quad (2)$$

Одночасно у суматорі 7 часткові суми  $S_j$  порівнюються з порогом  $\Theta$ , що надходить зі входу 11, і формується значення поточного порога  $\Delta_j$  на  $j$ -му етапі оброблення вигляду:

$$\Delta_j = \Delta_{j-1} - S_j, j = \overline{1, N} \quad (3)$$

де  $\Delta_0 = \Theta; N$  — кількість етапів оброблення.

При цьому, якщо  $\Delta_j > 0$ , то на виході 15 результуючого сигналу суматора 7 буде незмінним нульовий сигнал ( $Y_1 = 0$ ). Якщо  $\Delta_j \leq 0$ , то на виході 15 результуючого сигналу суматора 7 сформується одиничний сигнал ( $Y_1 = 1$ ) і порогове оброблення припиняється.

При пороговій функції активації на входи логічного блока 8 подаються такі сигнали: з входів 5 і 6 подаються відповідно одиничний і нульовий сигнали (табл. 1), результуючий сигнал  $Y_1$  з виходу 15 суматора 7, на установний вхід 4 — нульовий сигнал, на керуючий вхід 12 пристрою — одиничний сигнал, на вхід 11 порога — початкове значення порога  $\Theta$ . В результаті на виході 19 логічного блока 8 формується відповідний сигнал.

Таким чином, при цьому режимі роботи на кожному  $j$ -му етапі пристрій реалізує функцію:

$$Y_1 = \text{sign} \left( \theta - \sum_{i=1}^k x_i \cdot i \right) = \begin{cases} 1, & \text{якщо } S_k \geq \theta, \\ 0, & \text{якщо } S_k < \theta, \end{cases} \quad (4)$$

що відповідає роботі формального нейрона з пороговою функцією активації. Отже, комутатор 9 на виході 14 буде видавати результуючий сигнал  $Y_1$  вигляду (4) з виходу 15 суматора 7.

Для налаштування на режим формального нейрона з лінійною функцією активації вигляду:

$$Y_2 = \begin{cases} S_k, & \text{якщо } 0 < S_k < \Theta, \\ 0, & \text{якщо } S_k \leq 0, \end{cases} \quad (5)$$

на керуючі входи 5, 6, 12 пристрою необхідно подати одиничні сигнали, на установний вхід 4 — нульовий сигнал, а на вхід 11 порога — початкове значення порога  $\Theta$ . Іншими словами, на керуючі входи 4, 5, 6 і 12 подається код операції 0111 (табл. 1). В результаті на два відповідні входи логічного блока 8 подаються одиничні сигнали, при цьому, якщо на виході 15 суматора 7 формується нульовий результуючий сигнал, який подається на вхід логічного блока 8, то на вихід 14 комутатора 9 проходить сигнал  $Y_2 = 0$ , в іншому випадку величина накопиченої суми  $Y_2 = S_k$ . У цих випадках на виході 19 логічного блока 8 формуються відповідні сигнали дозволу, які подаються на керуючий вхід комутатора 9.

Таблиця 1.

**Режими роботи пристрою**

Режими	Керуючі входи			
	4	5	6	12
Формальний нейрон з пороговою функцією активації	0	1	0	1
Формальний нейрон з лінійною функцією активації	0	1	1	1
Формальний нейрон з лінійною з насиченням функцією активації	0	0	0	1
Формувач скалярного добутку векторів	0	0	0	0
Цифровий інтегратор	1	0	0	0

Для налаштування на режим формального нейрона з лінійною з насиченням функцією активації вигляду:

$$Y_3 = \begin{cases} S, & \text{якщо } S_k \geq \Theta, \\ S_k, & \text{якщо } 0 < S_k < \Theta, \\ 0, & \text{якщо } S_k \leq 0, \end{cases} \quad (6)$$

на керуючі входи 5 і 6 пристрою необхідно подати нульові сигнали, на керуючий вхід 12 — одиничний сигнал, на установний вхід 4 — нульовий сигнал, а на вхід 11 порога — початкове значення порога  $\Theta$ . Іншими словами, на установний вхід 4 і на керуючі входи 5, 6, 12 подається код 0001 (табл. 1). В результаті в суматорі 7 формування і підсумовування часткових сум  $S_j$  продовжується доти, доки не сформується одиничний сигнал на виході ознаки нуля суматора 7, що спричинить появу одиничного сигналу на виході 13 сигналу «Кінець» пристрою. У цьому випадку на керуючому вході комутатора 9 вже сформовано відповідні сигнали дозволу з виходу 19 логічного блока 8 і через комутатор 9 на інформаційний вихід 14 результату пристрою подається або результуючий сигнал  $Y_3 = 0$  з виходу 15 суматора 7, або  $Y_3 = S_k$  з виходу 18 суматора 7, або результат  $Y_3 = S$  підсумовування вигляду:

$$S = \sum_{j=1}^N S_j = \sum_{i=1}^n x_i \cdot i, \quad (7)$$

з виходу 10 суматора 7.

У режимі формувача скалярного добутку векторів операцію (7) можна реалізувати окремо, якщо в якості компонент одного вектора взяти вхідні сигнали  $x_1, \dots, x_n$ , які поступають на групу інформаційних входів  $1_1, \dots, 1_n$  пристрою, а в якості компонент другого вектора — значення синаптичних ваг  $\gamma_1, \dots, \gamma_n$ , які поступають на групу інформаційних входів  $2_1, \dots, 2_n$  пристрою. При цьому на установний вхід 4 і керуючі входи 5, 6 і 12 пристрою подаються нульові потенціали, тобто код даної операції 0000 (табл. 1), а на вхід 11 порога також подається нульовий потенціал. В блоках  $3_1, \dots, 3_n$  зміни синаптичних ваг формуються добутки вигляду (1), які з групи виходів  $17_1, \dots, 17_n$   $n$  блоків  $3_1, \dots, 3_n$  зміни синаптичних ваг подаються на відповідні входи суматора 7 паралельно. Після цього в суматорі 7 виконується формування і підсумовування часткових сум  $S_j$  цих добутків за формулою (2), поки не з'явиться одиничний сигнал на виході ознаки нуля суматора 7, а отже, на виході 13 сигналу «Кінець» пристрою. Тоді сформована остаточна сума  $S$  (7), яка є скалярним добутком компонент  $x_i$  і  $\gamma_i$  вхідних векторів, подається з виходу 10 суматора 7 через комутатор 9 на інформаційний вихід 14 результату пристрою, оскільки на всі входи логічного блока 8 з керуючих входів 5, 6 пристрою надходять нульові сигнали і відповідно нульовий сигнал з виходу 15 суматора 7. А це свідчить про те, що на виході 19 логічного блока 8 буде сформований відповідний сигнал дозволу для комутатора 9.

При налаштуванні на роботу у режимі цифрового інтегратора пристрій працює як суматор вхідних сигналів  $x_1, \dots, x_n$ , які подаються на групу інформаційних входів  $1_1, \dots, 1_n$  пристрою, у вигляді:

$$S' = \sum_{i=1}^n x_i. \quad (8)$$

У цьому випадку на установний вхід 4 пристрою подається одиничний сигнал, який задає значення синаптичних ваг  $\gamma_1, \dots, \gamma_n$  рівними одиниці, на керуючі входи 5, 6 і 12 пристрою подаються нульові потенціали відповідно, тобто код даної операції 1000 (табл. 1), а на вхід 11 порога подається нульовий потенціал. В суматорі 7 формується за  $N$  етапів оброблення сума  $S'$  часткових сум  $S'_j$  вигляду:

$$S' = \sum_{j=1}^N S'_j, \quad (9)$$

яка після появи одиничного сигналу на виході ознаки нуля суматора 7, а отже, на виході 13 сигналу «Кінець» пристрою, подається з виходу 10 суматора 7 через комутатор 9 на інформаційний вихід 14 результату пристрою. В цьому режимі відповідний сигнал дозволу на виході 19 логічного блока 8 формується аналогічно, як у режимі скалярного добутку векторів [10].

### СТРУКТУРА І ПРИНЦИП ФУНКЦІОНУВАННЯ БАГАТОФУНКЦІОНАЛЬНОГО СУМАТОРА

Суматор 7 (рис. 2) містить комірку 20 і  $n$  комірок 21, причому  $i$ -та комірка 21 містить мультиплексор 22, регістр 23, суматор-віднімач 24, суматор 25, D-тригер 26, мініматор 27, два регістри 28, 29, комутатор 30.

Комірка 20 містить мультиплексор 22, регістр 23, суматор-віднімач 24, D-тригер 26, комутатор 30, елемент АБО 49, елемент І 50, комутатор 51 і регістр 52.

Суть роботи суматора 7 (рис. 2) полягає в тому, що порогове оброблення  $n$  чисел зводиться до обчислення і підсумовування  $N$  часткових сум  $S_j$ , де  $N$  — кількість різноманітних вхідних величин  $a_i$ , порівняння цих сум з порогом  $\Theta$  і формування підсумкового сигналу вигляду:

$$Y_1 = \begin{cases} 1, \text{ якщо } S = \sum_{i=1}^n a_i = \sum_{j=1}^N S_j = \sum_{j=1}^N q_j \cdot d_j \geq \Theta, \\ 0 \text{ у протилежному випадку,} \end{cases} \quad (10)$$

де  $Y_1$  — результуючий сигнал суматора 7;  $q_j$  — загальна значуща частина доданків (мінімальний елемент)  $j$ -го етапу;  $d_j$  — кратність загальної частини  $q_j$  на  $j$ -му етапі;  $\Theta$  — значення порога оброблення;  $j$ -етап оброблення.

Процес підсумовування у суматорі 7 має такий вигляд.

Спочатку визначається загальна значуща частина  $q_j$  всіх доданків на  $j$ -му етапі, тобто:

$$q_j = \min\{a_{i,j-1}\}_{i=1}^n, j = \overline{1, N} \quad (11)$$

де  $a_{i,0}$ - $i$ -й доданок на вході суматора 7, і перевіряється умова:

$$q_j = 0. \quad (12)$$

Якщо умова (12) виконується, то процес підсумовування припиняється. У протилежному випадку виділяється різницевий зріз  $A_j$ , тобто сукупність величин різниці всіх доданків  $j$ -го етапу з їхньою загальною частиною  $q_j$ , тобто:

$$A_j = \{a_{i,j}\}_{i=1}^n = \{a_{i,j-1} - q_j\}_{i=1}^n. \quad (13)$$

В подальшому отриманий різницевий зріз  $A_j$  є вхідною множиною доданків для наступного  $(j + 1)$ -го етапу.

Далі формується часткова сума  $S_j$  як кратне загальної частини  $q_j$ , де кратність  $d_j$  визначається кількістю додатних доданків  $j$ -го етапу:

$$S_j = q_j \cdot d_j. \quad (14)$$

Після цього відбувається підсумовування часткових сум  $S_j$  за формулою (2).

Після сформування часткової суми  $S_1$  за формулою (14) на першому етапі формується різниця між заданим порогом  $\Theta$  та частковою сумою  $S_1$ , отриманою на цьому етапі, тобто:

$$\Delta_1 = \Theta - S_1, \quad (15)$$

і перевіряється умова:

$$\Delta_1 \leq 0, \quad (16)$$

а в разі її виконання формується одиничний результуючий сигнал  $Y$  суматора 7 і порогове оброблення припиняється. В протилежному випадку процес порогового оброблення продовжується і в подальшому поточна різниця  $\Delta_{j-1}$  є поточним значенням порогу на наступному  $j$ -му етапі оброблення згідно з формулою (3).

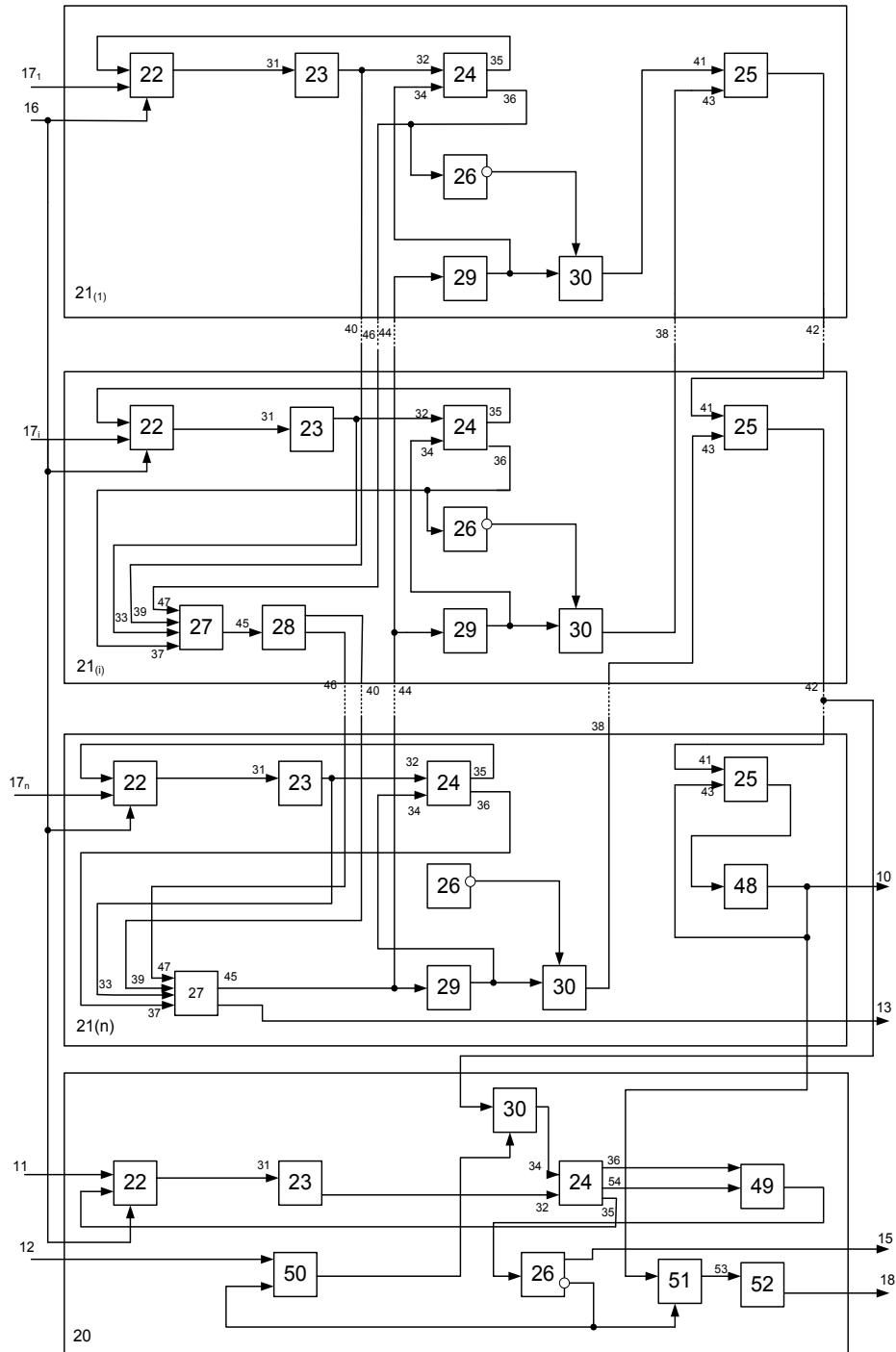


Рис. 2. Структура багатофункціонального суматора

На  $j$ -му етапі перевіряється умова:

$$\Delta_j \leq 0. \quad (17)$$

Процес порогового оброблення повторюється до виконання умови (17) або до визначення нульової величини  $q_j$  (11). Виконання умови (11) свідчить про закінчення підсумовування і про формування остаточного результату  $S$  підсумовування вигляду (7).

Отже, суматор 7 (рис. 2) працює таким чином.

На вхід  $17_i$   $i$ -ої комірки 21 надходить  $i$ -й операнд  $a_{i,0}$  з групи операндів, кількість яких  $n$ . Запис операндів в  $n$  комірок 21 виконується паралельно за наявності одиничного сигналу на адресному вході 16 пристрою. Через мультиплексор 22  $i$ -й операнд  $a_{i,0}$  надходить на вхід 31 регістра 23  $i$ -ої комірки 21.

Одночасно на вхід 11 порогу подають зовнішній поріг  $\Theta$ , який через мультиплексор 22 комірки 20 надходить по входу 31 в регістр 23 цієї комірки. Після цього виконується послідовне виділення загальної (мінімальної значущої) частини двох операндів —  $(i-1)$ -го та  $i$ -го — мініматором 27 і запис результату в регістр 28  $i$ -ої комірки 21. Згідно з виразом (11) ця операція виконується послідовно, починаючи з другої комірки 21. Кінцевий результат  $q_1$  виділення загальної частини всіх  $n$  операндів на першому етапі формується в  $n$ -ій комірниці 21 і з виходу 45 мініматора 27 цієї комірки 21 записується в регістри 29 всіх  $n$  комірок 21 паралельно по входу 44. Після цього в  $i$ -ій комірниці відбувається порівняння в суматорі-віднімачі 24  $i$ -го операнда  $a_{i,0}$ , що надходить з регістра 23 на його прямий вхід 32, та загальної частини  $q_1$  всіх операндів, що надходить з регістра 29 на його інверсний вхід 34. Порівняння відбувається в процесі віднімання від величини операнда загальної частини всіх величин операндів згідно з виразом (13) і ця різниця записується з виходу 35 суматора-віднімача 24 через мультиплексор 22 в регістр 23 по його входу 31 за наявності нульового сигналу на адресному вході 16 пристрою. При цьому на виході 36 знака суматора-віднімача 24 формується знак різниці. Перед початком роботи регістри 23, 28, 29, 48 і тригер 26 всіх комірок 21 і комірки 20 занулені.

При відсутності одиничного сигналу знака від'ємного результату одиничний сигнал з інверсного виходу D- тригера 26 подається на керуючий вхід комутатора 30 і дозволяє проходження в  $i$ -ій комірниці через комутатор 30 загальної частини  $q_1$  операндів з регістра 29 в суматор 25  $(i-1)$ -ої комірки 21, де відбувається накопичення загальної частини операндів. У випадку, якщо на виході 36 знака суматора-віднімача 24  $i$ -ої комірки 21 з'явиться одиничний сигнал знака від'ємного результату, то наявність нульового сигналу на інверсному виході D-тригера 26, а отже, на керуючому вході комутатора 30 заборонить надходження загальної частини  $q_1$  операндів на даному етапі оброблення через комутатор 30 на відповідний вхід суматора 25  $(i-1)$ -ої комірки 21. В суматорі 25 кожної комірки 21 відбувається послідовне підсумовування загальних частин  $q_1$  групи з  $n$  операндів, а в результаті на виході суматора  $(n-1)$ -ої комірки 21, тобто на виході 42 цієї комірки формується часткова сума  $S_1$  операндів згідно з виразом (14).

Після цього відбувається порівняння в суматорі-віднімачі 24 комірки 20 зовнішнього порогу  $\Theta$ , що надходить по його прямому входу 32 з регістра 23, та часткової суми  $S_1$ , що надходить по його інверсному входу 34 з виходу комутатора 30. На першому етапі оброблення з інверсного виходу D-тригера 26 комірки 20 на керуючий вхід комутатора 30 подається одиничний сигнал дозволу, оскільки на початку роботи пристрою D-тригер 26 всіх  $n$  комірок 21 і комірки 20 суматора 7 встановлено у нульовий стан одиничним сигналом на вході скидання пристрою, а на керуючому вході 12 пристрою, а також на одному з входів елемента I 50 присутній одиничний сигнал (табл. 1). Порівняння відбувається в процесі віднімання у першому циклі від зовнішнього порогу  $\Theta$  часткової суми  $S_1$  згідно з виразом (15). Різниця  $\Delta_1$  записується з виходу 35 суматора-віднімача 24 комірки 20 через мультиплексор 22 у регістр 23 по його входу 31.

Сигнали з виходу 36 знака і виходу 54 ознаки нуля суматора-віднімача 24 комірки 20 подаються через елемент АБО 49 на D-вхід D-тригера 26 комірки 20. При цьому при наявності одиничного сигналу на одному з виходів: виході 36 знака або виході 54 ознаки нуля суматора-віднімача 24 нульовий сигнал з інверсного виходу D-тригера 26, проходячи через елемент I 50, заборонить подачу величини  $S_j$  в наступному циклі оброблення через комутатор 30 на інверсний вхід 34 суматора-віднімача 24 комірки 20, що свідчить про закінчення порогового оброблення пристрою. На прямому виході D-тригера 26 комірки 21 у цьому випадку присутній одиничний сигнал, який формує одиничний сигнал  $Y_1$  на виході 15 результуючого сигналу суматора 7. І навпаки, при відсутності одиничного сигналу на обох виходах: виході 36 знака і виході 54 ознаки нуля суматора-віднімача 24 комірки 20 нульовий сигнал подається з виходу елемента АБО 49 на D-вхід D-тригера 26 цієї комірки, з інверсного виходу якого одиничний сигнал, проходячи через елемент I 50, дозволяє подачу через комутатор 30 часткової суми  $S_j$  з виходу 42  $(n-1)$ -ої комірки 21 на інверсний вхід 34 суматора-віднімача 24 комірки 20. Одночасно одиничний сигнал з інверсного виходу D-тригера 26 комірки 20, поданий на керуючий вхід комутатора 51, дозволяє проходження через нього на вхід 53 регістра 52 накопиченої суми  $S_k$  вигляду (2) з виходу регістра 48  $n$ -ої комірки 21 з її фіксацією на інформаційному виході 18 суматора 7.

В  $n$ -ій комірниці 21 в суматорі 7 наприкінці кожного етапу оброблення виконується накопичення часткових сум  $S_j$  за виразом (2) та їх запам'ятовування у регістрі 48 цієї комірки. Так виконується перший етап підсумовування і порогового оброблення.

В подальшому процес підсумовування виконується аналогічно першому етапу оброблення згідно з формулами (11)—(14). Процес підсумовування припиняється тоді, коли загальна значуща частина  $q_j$  всіх поточних доданків на  $j$ -му етапі дорівнює нулю за виразом (12), тобто присутній одиничний сигнал на виході ознаки нуля мініматора 27  $n$ -ої комірки 21, а отже на виході 13 суматора 7.

При виконанні умови (12) після виконання  $N$  етапів оброблення на виході регістра 48  $n$ -ої комірки 21, тобто на інформаційному виході 10 суматора 7 формується остаточної сума  $S$  вигляду (7). Процес

порогового оброблення буде продовжуватись, доки не буде виконуватись умова (17), а при її невиконанні — доки не буде виконуватись умова (12). При виконанні умови (17) на виході 15 результуючого сигналу суматора 7 формується одиничний сигнал.

У табл. 2 наведено приклад формування у суматорі 7 суми чисел масиву {13, 8, 3, 11}, що подаються на входи  $17_1, \dots, 17_n$ , часткових сум  $S_j$  на виході 18, поточного порогу  $\Delta_j$  у комірці 20, результуючого сигналу  $Y_1$  на виході 15 та накопиченої суми  $S$  на виході 10. Особливістю порогового оброблення масиву чисел за методом різницевого зрізів є природний паралелізм і нефіксоване (нестале) значення часу оброблення. Це значення залежить від кількості елементів на вході і кількості однакових елементів у масиві. Тому кількість етапів формування остаточної суми  $S$  можна визначити за формулою:

$$N = n - \sum_{r=1}^R (m_r - 1), \quad (18)$$

де  $n$  — розмірність вхідного масиву чисел;  $R$  — кількість груп з кількістю  $m_r$  однакових чисел;  $m_r$ ,  $R$  — випадкові величини.

Разом з тим, з аналізу даних, наведених у табл. 2, видно, що за певних умов результат порогового оброблення, а саме, одиничний результуючий сигнал  $Y_1$ , формується раніше, ніж накопичується остаточної сума  $S$  чисел, які представляють собою зважені вхідні сигнали.

Таблиця 2.

Результати порогового оброблення

Різницеві зрізи $A_j$	$A_0$	$A_1$	$A_2$	$A_3$	$A_4$	$A_5$
Елементи $a_{ij}$ зрізів						
$a_{1j}$	13	10	5	2	0	0
$a_{2j}$	8	5	0	–	–	–
$a_{3j}$	3	0	–	–	–	–
$a_{4j}$	11	8	3	0	–	–
Етапи оброблення	0	1	2	3	4	5
Найменше число $q_j$	0	3	5	3	2	0
Часткова сума $S_j$	0	$3 \times 4 = 12$	$5 \times 3 = 15$	$3 \times 2 = 6$	$2 \times 1 = 2$	0
Поточний поріг $\Delta_j$	30	$30 - 12 = 18$	$18 - 15 = 3$	$3 - 6 = -3$	-3	-3
Результуючий сигнал $Y_1$	0	0	0	1	1	1
Накопичення часткових сум $S_j$	0	12	$12 + 15 = 27$	$27 + 6 = 33$	$33 + 2 = 35$	35
Ознака закінчення $Z$	0	0	0	0	0	1

## ВИСНОВКИ

Отже, принцип роботи пристрою для моделювання нейрона наближається до роботи біологічного нейрона, час спрацювання якого залежить від порога оброблення, кількості вхідних сигналів і закону їх розподілу у вхідному масиві. Крім того, пристрій за рахунок моделювання формального нейрона як з пороговою, так і з лінійною і лінійною з насиченням функціями активації значно розширює свої функціональні можливості.

## СПИСОК ЛІТЕРАТУРИ

1. Уоссермен Ф. Нейрокомпьютерная техника: Теория и практика / Ф. Уоссермен; пер. с англ. — М. : Мир, 1992. — 240 с.
2. Галушкин А. И. Нейрокомпьютеры. Кн. 3: учеб. пособие для вузов / общ. ред. А. И. Галушкина. — М. : ИПРЖР, 2000. — 528 с. (Нейрокомпьютеры и их применение). — ISBN 5-93108-007-4.
3. Хайкин С. Нейронные сети : Полный курс / С. Хайкин; пер. с англ. — 2-е изд. — М. : ООО «И. Д. Вильямс», 2006. — 1104 с. — ISBN 5-8459-0890-6.
4. Комарцова Л. Г. Нейрокомпьютеры: учеб. пособие для вузов / Л. Г. Комарцова, А. В. Максимов. — М. : Изд-во МГТУ им. Н. Э. Баумана, 2002. — 320 с. — ISBN 5-7038-1908-3.
5. Круглов В. В. Искусственные нейронные сети. Теория и практика / В. В. Круглов, В. В. Борисов. — 2-е изд. — М. : Горячая линия-Телеком, 2002. — 382 с. — ISBN 5-93517-031-0.
6. Осовский С. Нейронные сети для обработки информации / С. Осовский; пер. с польск. И. Д. Рудинского. — М. : Финансы и статистика, 2004. — 344 с. — ISBN 5-279-02567-4.
7. Мартинюк Т. Б. Рекурсивні алгоритми багатооперандної обробки інформації /

- Т. Б. Мартинюк. — Вінниця : УНІВЕРСУМ-Вінниця, 2000. — 216 с. — ISBN 966-7199-98-3.
8. Кожем'яко В. П. Квантові перетворювачі на оптоелектронних логіко-часових середовищах для око-процесорної обробки зображень / В. П. Кожем'яко, Т. Б. Мартинюк, О. І. Суприган, Д. І. Клімкіна. — Вінниця : УНІВЕРСУМ—Вінниця, 2007. — 126 с. — ISBN 978-966-641-219-8.
  9. J. Basak, B. Chanda, D. D. Majumder, On edge and line linking in graylevel images with connectionist models, IEEE Transactions on Systems, Man and Cybernetics 24 (3) (1994) 413-428.
  10. M. N. Ahmed, A. A. Farag, Two-stage neural network for volume segmentation of medical images, Pattern Recognition Letters 18 (11-13) (1997) 1143-1151.
  11. Пат. 38491 Україна, МПК8 G 06 G 7/00. Пристрій для моделювання нейрона / Т. Б. Мартинюк, Л. М. Куперштейн, І. В. Мороз, О. І. Чечельницький; Вінниц. нац. техн. ун-т. — № u200810096; заявл. 04.08.2008; опубл. 12.01.2009, Бюл. № 1.

Надійшла до редакції 12.11.2014 р.

**КОЖЕМ'ЯКО В. П.** — академік АІНУ, д. т. н., професор, завідуючий кафедрою лазерної і оптико-електронної техніки, Вінницький національний технічний університет, Вінниця, Україна

**МАРТИНЮК Т. Б.** — д. т. н., професор кафедри лазерної та оптико-електронної техніки, Вінницький національний технічний університет, м. Вінниця, Україна

**КОЖЕМ'ЯКО А. В.** — к. т. н., доцент кафедри лазерної та оптико-електронної техніки, Вінницький національний технічний університет, м. Вінниця, Україна

**ВАСИЛЬКІВА О. С.** — аспірант кафедри лазерної та оптико-електронної техніки, Вінницький національний технічний університет, м. Вінниця, Україна

**КІТАЙЧИК О. В.** — старший консультант NERA Economic Consulting, Нью-Йорк, США.