

УДК 004.032.26

В. П. КОЖЕМ'ЯКО, А. В. КОЖЕМ'ЯКО, О. С. ВАСИЛЬКІВА

## СУЧАСНИЙ СТАН, ЕЛЕМЕНТНА БАЗА ТА ПОРІВНЯЛЬНИЙ АНАЛІЗ ХАРАКТЕРИСТИК НЕЙРООБЧИСЛЮВАЧІВ

*Вінницький національний технічний університет,  
21021, Хмельницьке шосе, 95, м. Вінниця, Україна*

**Анотація:** У статті розглянуті основні нейрообчислювачі, розроблені на базі універсальних мікропроцесорів, проведено аналіз їх елементної бази. Наведено аналіз основних цифрових нейрочипів, а також обчислювальних систем на їх основі. Описано перспективні технології нейрокомп'ютерів - оптичних, нейрокомп'ютерів на пластині, маніпулярний і квантових.

**Ключові слова:** нейрокомп'ютер, штучна нейронна мережа, нейрочип.

**Аннотация:** В статье рассмотрены основные нейровычислители, разработанные на базе универсальных микропроцессоров, проведен анализ их элементной базы. Приведены разработки основных цифровых и аналоговых нейрочипов, а также вычислительных систем на их основе. Описаны перспективные технологии нейрокомпьютеров - оптических, нейрокомпьютеров на пластине, манипулярных и квантовых.

**Ключевые слова:** нейрокомпьютер, искусственная нейронная сеть, нейрочип.

**Abstract:** In the article the basic neurocomputers developed on the basis of universal microprocessors, analyze their components. Presents the development of digital and analog neurochips and computing systems based on them. We describe the neuro-computers advanced technologies - optical, neuro-computers on the plate, and quantum.

**Keywords:** neurocomputer, artificial neural network, neurochyp.

### ВСТУП

Основне завдання нейрокомп'ютерів — обробка образів. При цьому у них, як і в мозку, відсутні загальні шини, немає поділу на активний процесор і пасивну пам'ять, а обчислення і навчання розподілені по всіх елементарним процесорам — нейронам, які функціонують паралельно. За рахунок цього нейрокомп'ютери дозволяють домогтися фантастичною продуктивності, яка може в мільйони разів перевищувати продуктивність традиційних комп'ютерів з послідовною архітектурою [1—2].

Нейрокомп'ютер — це обчислювальна система з паралельними потоками однакових команд і множинним потоком даних. Для більшої ясності будемо вважати, що нейромережеві системи, реалізовані програмно на типових ПК, відносяться до нейроемулатора, на програмному рівні реалізують типові нейрооперації (зважене підсумовування і нелінійне перетворення). Нейромережеві системи, які реалізовані у вигляді плат розширення стандартних обчислювальних систем, будемо називати нейрорпискорювачами (зважене підсумовування, як правило, реалізується апаратно, наприклад, на основі трансверсальних фільтрів, а нелінійні перетворення — програмно). Системи, реалізовані у вигляді функціонально закінчених спеціалізованих обчислювальних пристроїв, слід відносити до нейрокомп'ютерів. Нейрокомп'ютери є обчислювальними системами з високим паралелізмом, реалізованим на основі спеціалізованої елементної бази, орієнтованої на виконання нейромережевих операцій в нейромережевому логічному базисі [3—4].

Ефективне застосування нейрокомп'ютерів характерно, зокрема, для випадків, що вимагають різкого скорочення часу обробки при вирішенні просторових задач підвищеної розмірності, які у великій кількості можна знайти практично в будь-якій області: обробка зображень, виділення і стеження за рухомими об'єктами, завдання розпізнавання і класифікації.

Штучні нейронні мережі, подібно біологічним, є обчислювальною системою з величезним числом паралельно функціонуючих простих процесорів з безліччю зв'язків. Незважаючи на те, що при побудові таких мереж зазвичай робиться ряд припущень і значних спрощень, що відрізняють їх від біологічних аналогів, штучні нейронні мережі демонструють дивовижне число властивостей, притаманних мозку — це навчання на основі досвіду, узагальнення, витяг істотних даних з надлишкової інформації [3—4].

## ОГЛЯД ЕЛЕМЕНТНОЇ БАЗИ НЕЙРОПРИСКОРЮВАЧІВ

Елементної базою нейроприскорювачів є: замовні кристали (ASIC), які вбудовуються в мікроконтролери, мікропроцесори загального призначення, програмована логіка (ПЛІС), трансп'ютери, цифрові сигнальні процесори (DSP) і нейрочипи [1, 2, 4]. Завдяки високій продуктивності і універсальності при реалізації нейрообчислювачів, що функціонують в реальному масштабі часу, найбільше застосування знайшли ПЛІС, DSP і нейрочипи.

Особливість використання DSP і ПЛІС як елементної бази нейрообчислювачів визначається тим, що орієнтація на виконання нейромережових операцій обумовлює з одного боку підвищення швидкостей обміну між пам'яттю і паралельними арифметичними пристроями, а з іншого зменшення часу вагового підсумовування (множення і накопичення) за рахунок застосування фіксованого набору команд типу реєстр-реєстр.

Вибір того чи іншого процесора — багатокритеріальна задача. Слід, однак, відзначити перевагу процесорів Analog Devices [8] для додатків, що вимагають виконання великих обсягів математичних обчислень (цифрова фільтрація сигналу, обчислення кореляційних функцій і т. п.), оскільки їх продуктивність на подібних завданнях вище, ніж у процесорів компаній Motorola і Texas Instruments. У той же час для завдань, що вимагають виконання інтенсивного обміну з зовнішніми пристроями (багатопроекторні системи, різного роду контролери), краще використовувати процесори TI [8], що володіють високошвидкісними інтерфейсними підсистемами. Motorola лідирує по обсягам виробництва сигнальних процесорів, більшу частину яких складають дешеві і досить продуктивні 16-ти і 24-розрядні мікропроцесори з фіксованою точкою. Розширені комунікаційні можливості, наявність достатньої ємності пам'яті на кристалі для даних і програми, можливість захисту програми від несанкціонованого доступу, підтримка режиму енергозбереження роблять ці процесори привабливими для використання не тільки в якості спеціалізованих обчислювачів, але і в якості контролерів, в побутових електронних приладах, в системах адаптивної фільтрації і т. д.

Для того, щоб максимально ефективно використовувати обчислювальні ресурси нейрокомп'ютерів їх чипи необхідно об'єднувати в оптикоелектронні модулі. Оптикоелектронний модуль (нейрочип) NEURON орієнтований на створення кластерно-паралельних обчислювальних систем. Програмно-алгоритмічне забезпечення з управління кластерної структурою реалізовано всередині кристалу. Запропонована архітектура кристала стала в даний час основою стандарту ANSI / EIA 709.1-1999 побудови різних АСУ технологічними процесами [8].

## НЕЙРОЧИПИ: АНАЛІЗ І ПОРІВНЯЛЬНІ ХАРАКТЕРИСТИКИ

Основний елементної базою перспективних нейрообчислювачів є нейрочипи. Їх виробництво ведеться в багатьох країнах світу, причому більшість з них на сьогодні орієнтовані на закрите використання (тобто створювалися для конкретних спеціалізованих керуючих систем). Перш ніж перейти до розгляду найбільш цікавих нейрочипів, зупинимось на їх класифікації. За способом подання інформації нейрочипи можна розділити на цифрові, аналогові та гібридні.

За типом реалізації нейроалгоритмів: нейрочипи з повністю апаратною реалізацією і з програмно-апаратною (коли нейроалгоритми зберігаються в ПЗП).

За характером реалізації нелінійних перетворень: на нейрочипи з жорсткою структурою нейронів (апаратно реалізовані) і нейрочипи з настроюваною структурою нейронів (перепрограмовані).

По можливостях побудови нейромереж: нейрочипи з жорсткою і змінною нейромережевою структурою.

В окремі класи слід виділити так звані систолічні і нейросигнальні процесори.

Систолічні процесори (процесорні матриці) — це чипи, як правило, близькі до звичайних RISC-процесорів і об'єднують в своєму складі певну кількість процесорних елементів. Вся ж інша логіка, як правило, повинна бути реалізована на базі периферійних схем.

У нейросигнальних процесорів ядро являє собою типовий сигнальний процесор, а реалізована на кристалі додаткова логіка забезпечує виконання нейромережових операцій (наприклад, додатковий векторний процесор і т. п.).

Розробка нейрочипів ведеться в багатьох країнах світу. На сьогодні виділяють дві базові лінії розвитку обчислювальних систем з масовим паралелізмом (ВСМП): ВСМП з модифікованими послідовними алгоритмами, характерними для однопроцесорних Фоннеймановських алгоритмів і ВСМП на основі принципово нових надпаралельних нейромережових алгоритмів вирішення різних завдань (на базі нейроматики).

Розглянемо популярні нейрочипи.

Нейросигнальний процесор NeuroMatrix NM6403.

Основою NeuroMatrix NM6403 є процесорне ядро NeuroMatrixCore (NMC), яке являє собою сінтезабільну модель високопродуктивного DSP процесора з архітектурою VLIM / SIMD (мова Verilog). Ядро складається з двох базових блоків: 32-бітного RISC процесора і 64 бітного векторного процесора, що забезпечує виконання векторних операцій над даними змінної розрядності.

#### Процесор NeuroMatrixR NM6404

NeuroMatrixR NM6404 [9] являє собою високопродуктивний DSP-орієнтований RISC мікропроцесор. До його складу входять два основних блоки: 32-розрядне RISC-ядро і 64-розрядний VECTOR-співпроцесор для підтримки операцій над векторами з елементами змінної розрядності. NM6404 за системою команд сумісний з попередньою версією NM6403. Є два ідентичних програмованих інтерфейсу для роботи із зовнішньою пам'яттю різного типу і два комунікаційні порти, апаратно сумісних з портами ЦПС TMS320C4x, для можливості побудови багатопроцесорних систем.

#### Neural Networks Processor - NNP (Accurate Automation Corp.)

Процесор NNP (Neural Networks Processor) побудований за MIMD архітектурі, тобто складається з декількох мініатюрних процесорів, що працюють паралельно. Кожен з цих процесорів являє собою швидкий 16 розрядний обчислювач з пам'яттю для зберігання синаптичних ваг. Процесор має всього 9 простих команд. Процесори на кристалі пов'язані один з одним локальної шиною. NNP створений в комерційних цілях і доступний на ринку.

#### Нейрочип MA16 (фірма Siemens).

MA16 виготовлений за технологією КМОП (1 мкм), складається з 610 тис. транзисторів і виконує до 400 млн. операцій множення і додавання в секунду. Використовується в якості елементної бази нейрокомп'ютера Synaps 1 і нейроприскорювачів Synaps 2 і Synaps 3 (поширюваних сьогодні на ринку французькою фірмою Tiga Technologies).

#### Нейрочип MD1220 (Micro Devices)

Цифровий нейрочип MD1220 фірми Micro Devices містить вісім нейронів з 8 зв'язками і 16 розрядні суматори. У внутрішньокристалійній пам'яті зберігаються 16- розрядні ваги. Входи мають однорозрядні послідовні помножувачі з тривалістю такту 7.2. мкс.

#### Нейрочип L-Neuro Philips

Нейропроцесори L-Neuro фірми Philips один з перших нейропроцесорів. На сьогодні широко відомі дві його модифікації L-Neuro 1.0 і L-Neuro 2.3. Друга версія має 12 шарів, а перша один шар з шістнадцяти однорозрядних, або двох восьмирозрядних, або чотирьох 4-х розрядних, або двох восьмирозрядних процесорних елементів, тобто має можливість працювати мультирозрядному режимі.

#### Нейрочип NLX-420 фірми NeuroLogix

Кожен з 16 процесорних елементів нейрочипа NLX-420 фірми NeuroLogix містить 32 розрядний суматор, логіку паралельного виконання 16 множень. Також є можливість каскадування і мультирозрядні обчислення.

#### Нейрочип ETANN 80170NX фірми INTEL

Аналогова НВІС ETANN 80170NX фірми INTEL містить 64 входи, 16 внутрішніх рівнів і 64 нейрона (пороговий підсилювач з сигмоїдною передавальною функцією). Кожен вхід з'єднаний з 64 синапсами. Передавальна функція нейрона в НВІС близька до сигмоїда.

#### Нейрочип CLNN32/CLNN64 фірми Bellcore

Гібридний нейрочип CLNN32 складається з 32 нейронів і 496 двонаправлених адаптивних синапсів. CLNN64 містить тільки 1024 адаптивних синапсів. У наборі CLNN32/CLNN64 всі нейрони взаємопов'язані, так що будь-яка топологія мережі відображається підбором синапсів

#### Нейрочип NeuroClassifier

Аналогова НВІС NeuroClassifier створена в університеті Твенте спільно з DESY. Її архітектура складається з вхідного шару (70 входів, смуга пропускання до 4 Гбайт / с), шести внутрішніх шарів і одного вихідного нейрона. Точність аналогового множення 5 біт, час вирішення всього лише 20 нс, що дозволяє використовувати NeuroClassifier в тригері першого рівня. Еквівалентна швидкодії приблизно  $2 \cdot 10^{10}$  перемикань / с.

#### Нейрочип SAND / 1 (Simple Applicable Neural Device)

Компанія Datafactory (колишня INCO) випустила на ринок SAND / 1 (Simple Applicable Neural Device). SAND / 1 являє собою каскадно з'єднані систолічні процесори оптимізовані для швидкого

вирішення завдань в нейромережевому базисі. Продуктивність одного процесора становить 200 MCPS (мільйонів зв'язків в секунду). Процесор має чотири 16-и бітних потоку і 40 бітний суматор. SAND / 1 був розроблений Дослідницьким центром в Карлсруе та Інститутом мікроелектроніки Штутгарта.

#### Нейрочип Inova N64000

Цей нейрочип фірми Inova SIMD архітектури відноситься також, як і попередній, до класу систолических нейропроцесорів. Він містить 80 процесорних елементів, з яких 64 утворюють основну матрицю, а 16 є резервом, 4 Кбайта пам'яті ваг і 32 регістра загального призначення. Арифметичний модуль процесора має дев'ять паралельних 16 розрядних помножувача і один 32 розрядний суматор.

#### Нейрочип 100 NAP (Hecht-Nielson Computer)

Інший систолический нейрочип 100 NAP фірми Hecht-Nielson Computer містить 4 32 розрядних процесорних елемента з плаваючою крапкою. Адресується адресний простір позакристалльної пам'яті 512 Кбайт.

#### Нейрочип MT19003 (Micro Circuit Engineering)

Нейрочип MT19003 фірми Micro Circuit Engineering, також відноситься до класу систолических нейропроцесорів. Основою архітектури є RISC ядро з сімома спеціальними командами, 16 розрядний векторний помножувач і 32 розрядний суматор, внутрішньокристална пам'ять для зберігання ваг відсутня. Точність входів і ваг 13 розрядів.

#### NEURON — нейропроцесори фірми Echelon (США).

Нейропроцесори NEURON орієнтований на створення кластерно-паралельних обчислювальних систем. Програмно-алгоритмічне забезпечення з управління кластерної структурою реалізовано всередині кристалу.

Таблиця 1.

#### Характеристики нейрочипів

Найменування	Фірма виробник	Розрядність, Біт	Максимальна кількість синапсів*	Максимальне число шарів*	Примітка
MA16	Siemens	48 (помножувачі і суматори)	–	–	400 ММАС.
NNP (Neural Networks Processor)	Accurate Automation	Nx16	–	–	MIMD, N – число процесорів.
CNAPS-1064	Adaptive Solutions	16	128 Кбайт	64	
100 NAP Chip	HNC	32	512 Кбайт	4	Плав. арифм. 4 процесорних Елемента
Neuro Matrix NM6403, Такт. частота 50 МГц.	Модуль, Росія	64 (вект. процесор), 32 RISC ядро	4096 шт.	24	Сумісний з портами TMS320C4x
Neuro Matrix NM6404, Такт. частота 133 МГц.	Модуль, Росія	64 (вект. процесор), 32 RISC ядро	4096 шт.	~48	Сумісний з портами TMS320C4x
CLNN 32 CLNN 64	Bellcore	32 64	496 1024	32 нейрона	10 <sup>8</sup> перекл./с 2 x 10 <sup>8</sup> перекл./с
NC 3001	NeuriGam	16	4096 шт.	32	
ZISC 036 (Zero Instruction Set Computer)	IBM	64 разр. вхідного вектора	–	36 нейронів	Частота 20МГц, Векторно-прототипний нейрочип
ETANN 80170NW	Intel	64 входа	Два банка весов 64x80	64 нейрона в слое, 3 слоя.	Аналоговая
MD-1220	Micro Devices	16	64 шт.	8	8 нейронів

Продовження табл. 1

Найменування	Фірма виробник	Розрядність, Біт	Максимальна кількість синапсів*	Максимальне число шарів*	Примітка
MT 19003 – Neural Instruction Set Processor	Micro Circuit Engineering (MCE)	16 разр. помножувач 35 разр. суматор	–	1	RISC МП з 7 спеціальними командами
Neuro Fuzzu	National Semiconductor	-	-	-	
NI 1000	Nestor	5–16 (одного нейрона)	-	1024 прототипних 256 мірних векторів	Векторно-прототипний нейрочіп
NLX420 (NLX 110, 230)	Adaptive Logic	16	1 Мбайт	16	16 процесорних елементів
OBL Chip	Oxford Computer	16	16 Мбайт	-	
L-Neuro 1.0 L-Neuro 2.3	Philips	16 16	1536	16 нейронів 192 (12x16)	26 МГц 60 МГц
RSC (Speech Recognition Chip) – 164	Sensory Circuits	–	–	–	
ORC 110xx (Object Recognizer Chip)	Synaptics	–	–	–	
Pram-256 Chip	UCLi Ltd.	8 (одного нейрона)	–	256 нейронів	33МГц.
SAND	Datafactory	16	–	4	200 MCPS
ACC		16	–	-	
Геркулес	Росія	16	1 Мбайт	64	
Neuro Classifier	Університет Твентта, DESY	70 вх. нейронів	–	6 (внутр) 1 вх., 1 вих.	2 x 1010 перекл./с
ANNA	AT&T	Число нейронів 16-256	4096 ваг	-	Число входів у нейрона 256-16.
WSC (Wafer Scale Integration)	Hitachi	–	64 зв'язки на нейрон	576 нейронів	
SASLM2	Mitsubishi	2 (одного нейрона)	–	4096(64 x 64) нейронів	50 МГц
TOTEM	Kent (Univer UK), di Trento (Italy)	16 (одного нейрона)	–	64 нейрона	30 МГц
Neuron 3120, Neurom 3150	Echelon (США)	8 біт (шина даних)	–	–	Наявність паралельних, послідовних і комунікаційних портів

\* — Максимальне число синапсів визначає розмір внутрішньокристалічної пам'яті ваг.

\*\* — Максимальне число шарів визначається числом операцій множення з накопиченням, виконуваних за один такт для операндів довжиною 8 біт.

ZISC036 — нейропроцесори фірми IBM

Нейрочіп ZISC036 (Zero Instructions Set Computer) фірми IBM відноситься до нейрочіпа векторно-прототипної архітектури, тобто алгоритм навчання будується на співвідношенні вхідного вектора і

запам'ятованого прототипу векторами ваг входів нейронів. Він містить 36 нейронів. Орієнтований на вирішення широкого кола завдань, у тому числі завдань розпізнавання образів і класифікації. Кожен нейрон являє собою незалежний процесор. ZISC здатний вирішувати і real-time завдання [8—9].

Орієнтація у виконанні нейромережових операцій обумовлює з одного боку підвищення швидкостей обміну між пам'яттю і паралельними арифметичними пристроями, а з іншого боку зменшення часу вагового підсумовування (множення і накопичення) за рахунок застосування фіксованого набору команд типу реєстр-реєстр.

Основні характеристики елементної бази нейрообчислювачів проаналізуємо по критеріям за В. А. Романчуком [20].

Одним з найважливіших критеріїв ефективності є продуктивність систем і пристроїв. Така характеристика, як тактова частота, дозволяє оцінити продуктивність досить неоднозначно, тому виходячи з поставлених цілей дослідження, з усією сукупністю критеріїв ефективності з метою аналізу швидкодії були обрані наступні критерії [20]:

— час реалізації алгоритму  $T_0$  — час, протягом якого обробляє деяка програма на НПЗЗ деякої архітектури;

— час простоїв  $T_{пр}$  — сумарний для всіх нейропроцесорів в (НПЗМ) час, протягом якого модуль простоє в очікуванні даних.

Допоміжними критеріями для оцінки продуктивності НПЗЗ можуть бути:

— час програшу  $T_n$  — час, що дорівнює різниці часу виконання програми на НПЗЗ і часу виконання програми на одному НПЗМ;

— час виграшу  $T_B$  — час, що показує виграш за часом, одержуваний за рахунок обробки паралельних потоків даних за час обробки поточного потоку даних;

— час обробки  $T_p$  — сумарний час, що дорівнює часу, протягом якого НПЗМ обробляє дані.

Нехай виконання деякої підпрограми  $RO_i$  займає цілком певний час  $TO_i$ , тоді

$$T_n = T_0 - \sum_{l=1}^q TO_l, T_B = T_p - \sum_{l=1}^q TO_l.$$

Критерії часу обробки і часу простоїв є відображенням критерію коефіцієнта використання апаратури  $T_k$ , як відношення одночасно працюючих елементів системи до загальної кількості цих елементів:

$$T_k = \frac{T_p}{T_{пр} + T_p} = \frac{T_p}{q \cdot T_0}.$$

Розглянемо основні тимчасові співвідношення НПЗЗ векторного типу [20]. Час виконання програми  $T_0^{(J)}$  для векторної структури визначається як тривалість максимального за часом етапу обробки, тобто

$$T_0^{(J)} = \max_{l \in L} TO_l^{(J)}, \forall l = \overline{1, L}.$$

Час програшу буде негативний і його можна оцінити як різницю часу виконання  $T_0^{(J)}$  і сумарного часу роботи всіх  $q$  підпрограм:

$$T_n^{(J)} = T_0^{(J)} - \sum_{l=1}^q TO_l^{(J)} = \max_{l \in L} TO_l^{(J)} - \sum_{l=1}^q TO_l^{(J)}, \forall l = \overline{1, L}.$$

А час виграшу дорівнюватиме нулю, так як за час обробки поточного потоку не буде оброблено ніяких інших потоків даних:

$$T_B^{(J)} = \sum_{l=1}^q TO_l^{(J)} - \sum_{l=1}^q TO_l^{(J)} = 0.$$

Виграш за часом в даному випадку буде за рахунок скорочення часу роботи програми  $T_0^{(J)}$ .

Час простоїв буде дорівнює сумарній часу різниць максимально за часом етапу обробки і часу роботи  $i$ -ї підпрограм:

$$T_{пр} = \sum_{l=1}^q (T_0^{(J)} - T_l^{(J)}) = q \cdot \max_{l \in L} TO_l^{(J)} - \sum_{l=1}^q TO_l^{(J)}, \forall l = \overline{1, L}.$$

Час обробки має величину, рівну сумарному часу роботи всіх  $q$  підпрограм:

$$T_p^{(J)} = T_0 - \sum_{l=1}^q TO_l^{(J)}.$$

Пікова продуктивність для чипів ZISC036 становить 15 MCSP, NM 6403 становить 5040 MCPS. Коефіцієнт використання апаратури

$$T_k^{(J)} = \frac{\sum_{l=1}^q TO_l^{(J)}}{q \cdot \max_{l \in L} TO_l^{(J)}}, \forall l = \overline{1, L}.$$

Коефіцієнт використання апаратури для чипів ZISC036 становить 0,5625, NM 6403 становить 0,5625.

Розглянемо основні часові співвідношення НПЗЗ довільної структури [20].

Ця система являє собою структуру, що не підходить під вищеописані структури і має одну або більше зв'язків між процесорами (за винятком зворотних зв'язків).

В даному випадку оцінки ефективності для конвеєрної системи, як і будь-який інший розглянутої вище системи, не підходять. Цикл  $T_c^{(J)}$  можна визначити так само, як і в разі чітких структур:

$$T_c^{(J)} = \max_{l \in L} TO_l^{(J)}, \forall l = \overline{1, L}.$$

Для того щоб оцінити час роботи системи, введемо оцінку часу циклу підпрограми для кожного процесора:

$T_{PRi} = \max_{l \in L} TO_l^{(J)}$ , якщо  $i$ -й НПЗЗ зв'язаний з яким — небудь іншим НПЗЗ по принципу конвеєра;

$T_{PRi} = TO_l^{(J)}$  в протилежному випадку.

Тоді час виконання програми  $T_0^{(J)}$  визначається як сума  $T_{PRi}$  для всіх НПЗЗ системи, тобто

$$T_0^{(J)} = \sum_{l=1}^q T_{PRl}.$$

Час виграшу визначається за рахунок конвеєрних елементів з відніманням сумарного часу виконання всіх підпрограм:

$$T_B^{(J)} = \sum_{k=1}^q \sum_{i=1}^{N_k} TO_i^{(J)} - \sum_{l=1}^q TO_l^{(J)},$$

Пікова продуктивність для чипів NLX420 становить, 100 NAP становить 32 MCSP, WSI — 370 MCSP, N64000 — 72 MCSP, MA16-15 MCSP, MT19003 — 217 MCSP, MD1220 — 14 MCSP, L-neuro-1-50 MCSP, Neuron MC143120-1200 MCSP.

Коефіцієнт використання апаратури

$$T_k^{(J)} = \frac{\sum_{i=1}^K \sum_{k=iM}^{iN} (k \cdot TO_{iN-k+1}^{(J)})}{q \cdot (\max_{l \in L} TO_l^{(J)} \cdot \max_{G_i \in G} |G_i|)}, i = \overline{1, V}, \quad \forall l = \overline{1, L}$$

Коефіцієнт використання апаратури для чипів NLX420 становить 1, 100 NAP -0,125, WSI -0,375, N64000 -0,25, MA16-0,5, MT19003 -0,125, MD1220 -0,5, L-neuro-1-1, Neuron MC143120-0,25.

Наведемо зведені дані по продуктивності деяких, найбільш цікавих, нейропроцесорів [1, 10-20].

Таблиця 2.

**Продуктивності нейрочипів**

Найменування нейрочіпа	Фірма виробник	Конфігурація	Продуктивність	Число сигналів в нейронні	Число з'єднань примітивів в сек.	Швидкість навчан-ня	Пікова продуктивність	Коефіцієнт використання апаратури
NLX420	Adaptive Logic	32-16, 8 bit mode	10M	20K	640M	—	300 M	1
100 NAP	HNC	4 chips, 2M wts, 16 bit mantissa	250M	125	256G	64M	32 M	0,125

Продовження табл. 2

Найменування нейрочіпа	Фірма виробник	Конфігурація	Продуктивність	Число синапсів в нейроні	Число з'єднань примітивів в сек.	Швидкість навчання	Пікова продуктивність	Коефіцієнт використання апаратури
WSI (Wafer Scale Integration)	Hitachi	576 neuron Hopfield	138 М	3,7	10 G	—	370 М	0,375
N64000	Inova	64-64-1, 8 bit mode	871 М	128K	56 G	220M	72 М	0,25
MA16	Siemens	1 chip, 25MHz	400 М	15M	103G	—	15 М	0,5
ZISC036	IBM	64 8 bit element inp. Vector	—	36M	35M	—	15 М	0,5625
MT19003	Micro Circuit Engineering	4-4-1-, 32 MHz-	32 М	32 М	6.8G	—	217M	0,125
MD1220	Micro Devices	8-8	9 М	1 М	142 М	—	14 М	0,5
NI 1000	Nestor	256 5 bit element inp. Vector	40 000 vec in sec.	—	—	—	—	—
L-neuro-1	Philips	1-chip, 8 bit mode	26 М	26 K	1,6 G	32 М	50 М	1
NM6403	Модуль (Росія)	8 bit mode, 50MHz	1200 М	150 М	77G	—	1155 М	0,5625
Neuron MC143120	Echelon (США)	Унікальний 48-бітний код (NEURON ID), з восьми-розрядних мікропроцесорів, EEPROM, ROM і RAM пам'ять	1400 М	150M	80 G	32 М	1200 М	0,25

\* У таблиці наведені середні округлені показники продуктивності.

### ВИСНОВКИ

Розглянувши основні характеристики елементної бази нейрообчислювачів, від сигнальних процесорів, ПЛІС до нейрочіпів, можна зробити висновок, що при реалізації нейрообчислювачів пріоритетно використовується гібридна схема, коли блок матричних обчислень реалізується на базі кластерного з'єднання DSP процесорів, а логіка керування на основі ПЛІС. Проте більш перспективним є реалізація матричного ядра на базі нейрочіпів, а сигнальні процесори й ПЛІС залишаються основою для побудови логіки керування, що вже явно простежується на відомих сьогодні нейрообчислювачах.

Проаналізувавши дані по обраним критеріям продуктивності, число синапсів в нейроні, число з'єднань в сек., швидкість навчання, та коефіцієнт використання апаратури, що оцінюють ефективність чипів в цілому, можна сказати що найбільш продуктивними є нейрочіпи MA16 (Siemens), L-neuro-1(Philips), MD1220, NM6403, Neuron MC143120. MA16 (Siemens), L-neuro-1(Philips) мають найкращу продуктивність але велику вартість та продаються у складі певних модулів, що досить ускладнює їх модернізацію та використання в подальшому. Найбільш цікавим виявився нейрочіп Neuron MC143120, оскільки у нього високий коефіцієнт продуктивності, найменша вартість, а системна частина програмного забезпечення реалізовує повний набір операцій для управління мережевим взаємодією вузлів системи.



## СПИСОК ЛІТЕРАТУРИ

1. Проблемы построения и обучения нейронных сетей / под ред. А. И. Галушкина и В. А. Шахнова. — М. Изд-во Машиностроение. Библиотечка журнала Информационные технологии №1. 1999. 105 с.
2. А. И. Галушкин Некоторые исторические аспекты развития элементной базы вычислительных систем с массовым параллелизмом (80- и 90- годы) // Нейрокомпьютер, № 1. 2000. — С. 68—82
3. А. Н. Горбань, Д. А. Россиев Нейронные сети на персональном компьютере. — Новосибирск: Наука. Сибирская издательская фирма РАН, 1996. — 276 с.
4. Э. Ю. Кирсанов Цифровые нейрокомпьютеры: Архитектура и схемотехника / Под ред. А. И. Галушкина. — Казань : Казанский Гос. У-т. 1995. 131 с.
5. А. И. Власов. Аппаратная реализация нейровычислительных управляющих систем // Приборы и системы управления — 1999, № 2, С. 61—65.
6. Роберт Хехт-Нильсен Нейрокомпьютинг: история, состояние, перспективы // Открытые системы. N4. 1998.
7. А. И. Власов Нейросетевая реализация микропроцессорных систем активной акусто- и виброзащиты// Нейрокомпьютеры: разработка и применение, № 1, 2000. С. 40—44.
8. <http://neurnews.iu4.bmstu.ru>.
9. <http://www.module.ru>.
10. П. А. Шевченко, Д. В. Фомин, В. М. Черников, П. Е. Виксне Применение микропроцессора NM6403 для эмуляции нейронных сетей // Нейрокомпьютеры и их применение 99. М. : ИПУ РАН, 1999. — С. 81—90.
11. C. Lindsey, T. Lindblat. Survey of neural network hardware. SPIE. Vol 2492. PP. 1194—1205.
12. K. Tahir Shah Automata, neural networks and parallel machines: some emerging principles. — World Scientific. 1999.
13. Дитрих-Лой-Швайцнер. «LON -технология». ПГТУ. 395 с. 1999 .
14. Войкова А. П. «Нейронные сети и нейрочипы», Москва, 280 с., 2000.
15. Мартинюк Т. Б. Рекурсивні алгоритми багатооперандної обробки інформації / Т. Б. Мартинюк. — Вінниця : УНІВЕРСУМ—Вінниця, 2000. — 216 с. — ISBN 966-7199-98-3.
16. Кожем'яко В. П. Квантові перетворювачі на оптоелектронних логіко-часових середовищах для око-процесорної обробки зображень / В. П. Кожем'яко, Т. Б. Мартинюк, О. І. Суприган, Д. І. Клімкіна. — Вінниця : УНІВЕРСУМ—Вінниця, 2007. — 126 с. — ISBN 978-966-641-219-8.
17. J. Basak, B. Chanda, D.D. Majumder, On edge and line linking in graylevel images with connectionist models, IEEE Transactions on Systems, Man and Cybernetics 24 (3) (1994) 413—428.
18. M. N. Ahmed, A. A. Farag, Two-stage neural network for volume segmentation of medical images, Pattern Recognition Letters 18 (11—13) (1997) 1143—1151.
19. Пат. 38491 Україна, МПК8 G 06 G 7/00. Пристрій для моделювання нейрона / Т. Б. Мартинюк, Л. М. Куперштейн, І. В. Мороз, О. І. Чечельницький; Вінниц. нац. техн. ун-т. — № u200810096; заявл. 04.08.2008; опубл. 12.01.2009, Бюл. № 1.
20. В. А. Романчук. Математическое обеспечение оценки производительности систем нейрокомпьютерной обработки информации // Известия ТулГУ. Технические науки. 2016. Вып. 2. — С. 242—251.

## SPUSOK LITERATURU

1. Problemy postroyenyua y obuchenyua neyronnykh setey / pod red. A. Y. Halushkyna y V. A. Shakhnova. — M. Yzd-vo Mashynostroyenyue. Byblyotechka zhurnala Ynformatsyonnye tekhnolohyy №1. 1999. 105 s.
2. A. Y. Halushkyn Nekotorye ystorycheskye aspekty razvytyua élementnoy bazy vychyslytel nykh system s massovym parallelyzmozom (80- y 90- hody) // Neyrokomp yuter, №1. 2000. — S. 68—82.
3. A. N. Horban, D. A. Rossyev Neyronnye sety na personal nom komp yutere. — Novosybyrsk: Nauka. Sybyrskaya yzdatel skaya fyрма RAN, 1996. — 276 s.
4. É. YU. Kyrсанov Tsyfrovye neyrokomp yutery: Arkhytektura y skhemotekhnika / Pod red. A. Y. Halushkyna. — Kazan: Kazanskyu Hos. U-t. 1995. 131 s.

5. A. Y. Vlasov. Apparalnaya realizatsiya nevrovychyslytel nykh upravlyayushchykh system // Pribory y systemy upravleniya — 1999, № 2, S. 61—65.
6. Robert Khekht-Nyl sen Neyrokomp yutynh: ystoryya, sostoyanye, perspektyvy // Otkrytye systemy. N4. 1998.
7. A. Y. Vlasov Neyrosetevaya realizatsiya mykroprotsessornykh system aktyvnoy akusto- y vybrozashchyty // Neyrokomp yutery:razrabotka y prymenenye, № 1, 2000. S. 40—44.
8. <http://neurnews.iu4.bmstu.ruu>.
9. <http://www.module.ru>.
10. P. A. Shevchenko, D. V.Fomyn, V. M. Chernykov, P. E. Vyksne Prymenenye mykroprotsessora NM6403 dlya émulyatsyy neyronnykh setey // Neyrokomp yutery y ykh prymenenye 99. M.: YPU RAN, 1999. — S. 81—90.
11. C. Lindsey, T. Lindblat. Survey of neural network hardware. SPIE. Vol 2492. PP.1194-1205.
12. K.Tahir Shah Automata, neural networks and parallel machines: some emerging principles. — World Scientific. 1999.
13. Dytrykh-Loy-Shvayntser. «LON -tekhnohyya». PHTU .395s. 1999 .
14. Voykova A. P. «Neyronnye sety y neyrochypy», Moskva, 280s., 2000.
15. Martynyuk T. B. Rekursyvni alhorytmy bahatooperandnoyi obrobky informatsiyi / T. B. Martynyuk. — Vinnytsya : UNIVERSUM—Vinnytsya, 2000. — 216 s. — ISBN 966-7199-98-3.
16. Kozhemyako V. P. Kvantovi peretvoryuvachi na optoelektronnykh lohiko-chasovykh seredovyshchakh dlya oko-protsesornoyi obrobky zobrazhen / V. P. Kozhemyako, T. B. Martynyuk, O. I. Supryhan, D. I. Klimkina. — Vinnytsya : UNIVERSUM—Vinnytsya, 2007. — 126 s. — ISBN 978-966-641-219-8.
17. J. Basak, B. Chanda, D. D. Majumder, On edge and line linking in graylevel images with connectionist models, IEEE Transactions on Systems, Man and Cybernetics 24 (3) (1994) 413—428.
18. M. N. Ahmed, A. A. Farag, Two-stage neural network for volume segmentation of medical images, Pattern Recognition Letters 18 (11—13) (1997) 1143—1151.
19. Pat. 38491 Ukrayina, MPK8 G 06 G 7/00. Prystriy dlya modelyuvannya neyrona / T. B. Martynyuk, L. M. Kupershteyn, I. V. Moroz, O. I. Chechelnytsky; Vinnyts. nats. tekhn. un-t. — № u200810096; zayavl. 04.08.2008; opubl. 12.01.2009, Byul. № 1.
20. V. A. Romanchuk. Matematycheskoe obespechenye otsenky proyzvodytelnosti system neyrokompyuternoy obrabotky ynformatsyy // Yzvestyya TulHU. Tekhnycheskye nauky. 2016. Vyp. 2. — S. 242—251.

Надійшла до редакції 20.12.2016 р.

**КОЖЕМ'ЯКО В. П.** — академік АІНУ, д.т.н., професор, завідувач кафедри лазерної і оптико-електронної техніки, Вінницький національний технічний університет, м. Вінниця, Україна.

**КОЖЕМ'ЯКО А. В.** — к.т.н., доцент кафедри лазерної та оптико-електронної техніки, Вінницький національний технічний університет, м. Вінниця, Україна.

**ВАСИЛЬКІВА О. С.** — аспірант кафедри лазерної та оптико-електронної техніки, Вінницький національний технічний університет, м. Вінниця, Україна.